

К. К. ТЫЧИНО

ПЕРЕСЧЕТНЫЕ ДЕКАДЫ



МАССОВАЯ
РАДИО
БИБЛИОТЕКА

Выпуск 923

К. К. ТЫЧИНО

ПЕРЕСЧЕТНЫЕ ДЕКАДЫ

Издание второе,
переработанное и дополненное



«ЭНЕРГИЯ»
МОСКВА 1976

6Ф7.3
Т93
УДК 621.374.32

Тычино К. К.

Т93 Пересчетные декады. Изд. 2-е, перераб. и доп. М., «Энергия», 1976.

96 с. с ил. (Массовая радиобиблиотека. Вып. 923).

В книге приведены практические схемы пересчетных декад с различным быстродействием, выполненных на дискретных элементах и интегральных схемах и предназначенных для работы в электронных измерительных приборах с цифровым отсчетом. Рассматриваются элементы интегральных схем, выполняющих логические функции.

Первое издание книги вышло в 1970 г.

Книга рассчитана на радиолюбителей, знакомых с основами цифровой измерительной техники.

Т $\frac{30404-499}{051(01)-76}$ 175-76 6Ф7.3

ПРЕДИСЛОВИЕ КО ВТОРОМУ ИЗДАНИЮ

В цифровых измерительных приборах происходит преобразование измеряемых величин в систему дискретных или импульсных сигналов Поэтому одной из наиболее распространенных операций, выполняемых в дискретных устройствах, является счет импульсов В зависимости от вида устройства счет импульсов может производиться при помощи двоичных, двоично-десятичных или кольцевых счетчиков Для представления результата измерения отсчетными (и регистрирующими) устройствами цифровых приборов используется десятичная система счисления. Этим объясняется преимущественное распространение двоично-десятичных (декадных) счетчиков в современных цифровых измерительных приборах и ряде других устройств дискретного действия. По быстродействию декады делятся на низкочастотные — со скоростью счета до 1 МГц и высокочастотные — до 20 МГц и выше.

Высокое быстродействие современных пересчетных декад достигнуто в результате применения триггеров с высоким быстродействием, использования комбинированных схем с транзисторами и туннельными диодами, а также более эффективных способов управляемого запуска, при котором быстродействие счетчика приближается к быстродействию одного триггера.

Бурное развитие микроэлектроники позволило решить проблему построения дискретных систем на базе новой технологии, сущность которой заключается в предельном уменьшении физических размеров элементов схем и снижении потребляемой мощности Применение интегральных схем в пересчетных устройствах позволило значительно сократить время на их монтаж и настройку, уменьшить габариты устройств, а также повысить их надежность

В интегральных микросхемах с повышенной степенью интеграции компонентов совмещаются схемы многоразрядных счетчиков, дешифраторов и схем управления

Применение новых элементов в системах индикации (светоизлучающих диодов и индикаторов на жидких кристаллах, а также малоинерционных коммутирующих элементов — оптронов) позволило упростить схемы управления индикаторами и снизить потребляемую мощность.

Использование динамического режима питания индикаторов способствует увеличению срока службы последних и одновременно позволяет уменьшить габариты конструкции пересчетных устройств за счет исключения поразрядных дешифраторов и схем управления

Второе издание книги дополнено описанием пересчетных устройств, выполненных на интегральных схемах; введено описание принципа действия интегральных схем для цифровых устройств; рассмотрены способы повышения быстродействия пересчетных декад.

Автор

Глава первая

ЭЛЕМЕНТЫ СЧЕТНЫХ ДЕКАД

Интегральные логические схемы

В состав современных дискретных устройств (ЭВМ, цифровой измерительной техники и др) входит большое количество электронных схем, представляющих собой логические элементы и их комбинации Однако, прежде чем приступить к рассмотрению особенностей этих схем, необходимо остановиться на понятии переключательной функции. Функция вида $f(x_1, \ldots, x_n)$ называется переключательной, если она и ее аргументы $(x_1, \ldots, x_n)$ могут принимать в соответствии с двоичной системой счисления два значения: 0 и 1 Для любой переключательной функции от n переменных выражение $M=2^n$ определяет число различных комбинаций (или наборов) значений ее аргументов. Таким образом, любая переключательная функция может быть определена на M наборах, а число различных функций от n переменных $(x_1, \ldots, x_n)$ при этом будет равно $2^M=2^{2^n}$. Например, при $n=2$ (функция от двух переменных x_1 и x_2) количество наборов значений аргументов будет составлять $M=2^2=4$, на которых может быть определено $2^4=16$ различных переключательных функций.

Таблица 1

Основные логические функции

Функция	Аргументы x / y	0 / 0	0 / 1	1 / 0	1 / 1	Обозначение функции	Название функции
$f_1(x, y)$		0	0	0	1	$x \cdot y$	Конъюнкция (логическое И)
$f_2(x, y)$		0	1	1	1	$x + y$	Дизъюнкция (логическое ИЛИ)
$f_3(x, y)$		1	0	1	0	$\bar{y}$	Отрицание y (функция НЕ)
$f_4(x, y)$		1	1	0	0	$\bar{x}$	Отрицание x (функция НЕ)

В схемах дискретных устройств находят наибольшее применение следующие переключательные функции от двух переменных: *конъюнкция* (логическое И), *дизъюнкция* (логическое ИЛИ) и *инверсия* (функция НЕ или отрицание) Из табл 1 видно, что функция И принимает значение 1 только на одном наборе из четырех, а именно в случае, когда аргументы x и y одновременно принимают значе-

ние 1. На остальных трех наборах функция принимает значение 0. Для случая преобразования сигналов это означает, что сигнал на выходе схемы, имеющей два входа (x и y), появляется только тогда, когда на обоих входах одновременно присутствует сигнал 1. Элемент, с помощью которого реализуется эта функция, носит название логической схемы И (схема совпадения). Функция ИЛИ принимает значение 1 в тех случаях, когда хотя бы один из аргументов x или y имеет значение 1; значение функции равно 0, когда ее аргументы одновременно принимают значение 0. Для случая преобразования сигналов это означает, что сигнал 1 на выходе схемы, имеющей два входа (x и y), появляется тогда, когда сигнал 1 появляется на одном из этих входов (т е при $x=1$ или $y=1$) или на обоих входах. Элемент, с помощью которого реализуется эта функция, носит название схемы ИЛИ (схема объединения или собирания) Для случая преобразования сигналов функция НЕ означает, что сигнал 1 на выходе схемы, имеющей один вход, появится лишь при отсутствии сигнала на входе; при наличии на входе схемы сигнала 1 сигнал на ее выходе будет равен 0.

Сложные логические схемы могут быть построены на основе универсальных логических элементов И-НЕ и ИЛИ-НЕ. Элемент И-НЕ выполняет логическую операцию $C=\overline{A \cdot B}$. Сигнал на выходе схемы отсутствует в том случае, если на оба входа поданы одновременно сигналы 1; при отсутствии сигнала хотя бы на одном входе на выходе схемы появляется сигнал 1. Логическую операцию $C=\overline{A+B}$ выполняет элемент ИЛИ-НЕ. При отсутствии сигналов на входе схемы на ее выходе устанавливается сигнал 1. При подаче сигнала хотя бы на один из входов сигнал на выходе принимает значение 0.

Логическими элементами называются электронные схемы, с помощью которых реализуются элементарные функции — И, НЕ, ИЛИ, И-НЕ, ИЛИ-НЕ Среди существующих логических элементов наибольшее распространение получили потенциальные логические элементы и схемы. Основным отличительным признаком элементов и схем этого типа от импульсных и импульсно-потенциальных является наличие связи по постоянному току между входами и выходами элементов. Другим отличием потенциальных схем является их способность управляться и управлять другими схемами при помощи сигналов как ограниченной (импульсные сигналы), так и неограниченной (потенциальные сигналы) длительности.

Логические элементы работают в режиме переключения. У потенциальных элементов высокий (или положительный) уровень напряжения обычно отождествляется с логической 1, а низкий (или отрицательный) — с логическим 0. Возможности логических элементов, используемых при построении сложных электронных систем дискретного действия, определяются их следующими параметрами:

вид реализуемой функции;
нагрузочная способность n;
коэффициент объединения по входу m и l;
средняя задержка распространения сигнала $t_{з.ср}$;
предельная рабочая частота $f_{макс}$;
помехоустойчивость $U_п$;
потребляемая мощность $P_{ср}$.

Нагрузочная способность n логического элемента (или коэффициент разветвления по выходу) определяет возможность подключения к его выходу определенного количества идентичных интегральных схем Коэффициент разветвления обычно выражается целым

числом — 4, 6, 8, 10 и т д Подключение схем к выходу логического элемента не должно ухудшать передачу сигналов 0 и 1. В схемах с высокой нагрузочной способностью расширяются их логические возможности, однако при этом снижается быстродействие, ухудшается помехоустойчивость и увеличивается потребление энергии. Поэтому в состав ряда серий интегральных схем включают однотипные логические элементы с различной нагрузочной способностью, например 4—10 и 15—50.

Коэффициенты объединения по входу m и l определяют максимальное количество входов логического элемента (m для реализации логической функции И, l — для реализации логической функции ИЛИ). Увеличение этого параметра допускает выполнение функций с бóльшим числом аргументов на одном логическом элементе И-НЕ, ИЛИ-НЕ. Однако увеличение коэффициентов m и l приводит к ухудшению других параметров: помехоустойчивости, коэффициента разветвления и быстродействия. Поэтому основные логические элементы выполняются с небольшим числом входов: для схем ИЛИ $l=2\div4$, для схем И $m=2\div8$. Схемы «логических расширителей» позволяют увеличить коэффициенты m и l до 10 и более.

Средняя задержка распространения сигнала $t_{з\,ср}$ характеризует время распространения сигнала через логическую схему, а предельная частота $f_{макс}$ определяет максимальную частоту переключения триггера.

Помехоустойчивость логических элементов различают в отношении статической или импульсной помехи. В статическом режиме логический элемент может находиться в одном из двух состояний — 0 или 1. Поэтому различают статическую помехоустойчивость по уровню 0 ($U_{п0}$) и по уровню 1 ($U_{п1}$). Статическая помехоустойчивость определяется значением напряжения, которое может быть подведено к входу логического элемента относительно уровня 0 или 1, не вызывая ложного срабатывания его схемы У ряда интегральных схем помехоустойчивость составляет 0,4—0,6 В.

Помехоустойчивость в динамическом режиме зависит от длительности, амплитуды и формы сигнала помехи Если длительность сигнала помехи существенно превышает длительность задержки сигнала $t_{з.ср}$ в интегральной схеме, то ее действие эквивалентно действию статической помехи соответствующего уровня. При коротких импульсах помехи помехоустойчивость схем увеличивается.

Каждая логическая схема при работе может находиться в одном из статических состояний или в режиме переключения Мощность, потребляемая при переходных процессах, обычно не превышает мощности, потребляемой в статических состояниях. Время, которое занимают процессы переключения, составляет незначительную часть от полного рабочего времени схемы. Если учесть, что в среднем половину рабочего времени схема находится в открытом состоянии и потребляет при этом мощность P_1, а другую половину рабочего времени — в закрытом и потребляет мощность P_0, то среднюю потребляемую мощность можно определить из выражения

$$P_{ср}=\frac{P_0+P_1}{2}.$$

По потребляемой мощности интегральные схемы делятся на следующие группы: маломощные логические схемы (0,3 мВт$<P_{ср}<$ $<$3 МВт), схемы средней мощности (3 МВт$<P_{ср}<$25 мВт), мощные схемы (25 мВт$<P_{ср}<$250 мВт).

Среди современных логических интегральных схем (ИС) наибольшее распространение получили диодно-транзисторные ИС (ДТЛ), транзисторно-транзисторные ИС (ТТЛ) и транзисторные ИС с эмиттерной связью (ТЛЭС).

Логический элемент диодно-транзисторной ИС (рис. 1) реализует функцию И-НЕ. Входные диоды $Д_1$—$Д_3$ выполняют функцию И, транзисторный усилитель — функцию инверсии. При подведении высоких уровней напряжения (логическая 1) ко всем входам схемы входные диоды смещаются в обратном направлении и через них

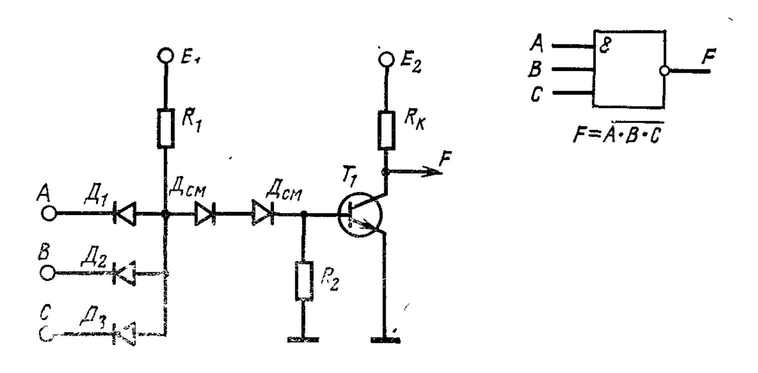


Рис. 1. Диодно-транзисторная схема И-НЕ.

протекают только небольшие обратные токи. В базу транзистора течет ток, определяемый разностью токов через резисторы R_1 и R_2. Транзистор переходит в состояние насыщения: напряжение на его коллекторе соответствует логическому 0. При снижении уровня хотя бы на одном из входов до уровня логического 0 происходит увеличение тока через соответствующий диод в прямом направлении Одновременно уменьшается ток в цепи базы транзистора, последний запирается и уровень его коллекторного напряжения становится равным логической 1 (немного меньше, чем напряжение E_2).

На процесс выключения микросхемы оказывает влияние конечное время рассасывания транзистора T_1.

Для сокращения этого времени необходимо, чтобы обратное сопротивление смещающих диодов $Д_{см}$ восстанавливалось только после того, как закончится рассасывание транзистора. Для выполнения этого условия постоянная времени рассасывания смещающих диодов должна значительно превышать соответствующий параметр транзистора. Большой ток, протекающий через диоды до восстановления их обратного сопротивления, сокращает время выключения микросхемы $t_{выкл}$. Основными преимуществами этого вида схем является повышенная помехоустойчивость, а также возможность увеличения количества входов И путем добавления входных диодов.

Нагрузочная способность описанных выше ДТЛ схем ограничена и обычно не превышает 6. Для повышения нагрузочной способности разработаны логические схемы со сложным инвертором; на рис. 2 приведена типичная диодно-транзисторная схема Она предназначена для выполнения функции И-ИЛИ-НЕ. В схемах ДТЛ реализация функций И и ИЛИ осуществляется на диодах, функции НЕ — в тран-

зисторном усилителе-инверторе. Диоды $Д_1$, $Д_2$ и $Д_3$, $Д_4$ образуют схемы И ($И_1$ и $И_2$), $Д_5$ и $Д_6$ — диодную сборку ИЛИ основной схемы, $Д_7$ — смещающий диод.

Расширение логических возможностей может производиться с помощью дополнительных схем-расширителей И и ИЛИ. Схема расширителя функции И представляет собой диодную сборку ($И_1$), которая подключается к точке x диодной сборки основной схемы. В схему расширителя функции ИЛИ входит диодная сборка И, резистор и диод схемы ИЛИ, подключаемый катодом в точке z. У схем

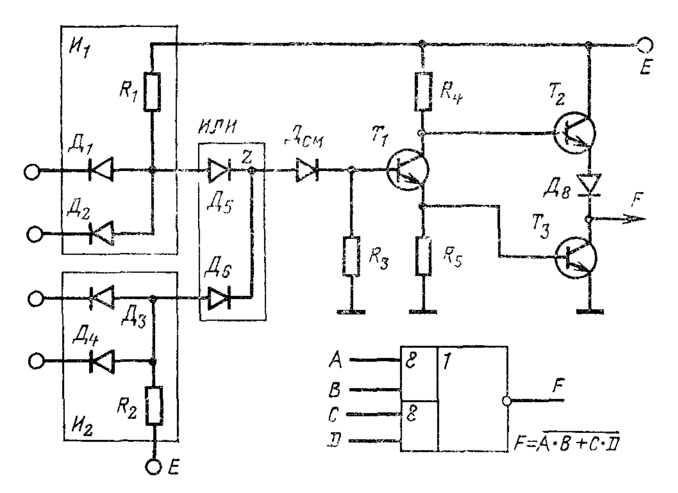


Рис. 2. Диодно-транзисторная схема И-ИЛИ-НЕ.

ДТЛ коэффициент объединения $l \leqslant 6$, $m \leqslant 8$. Выходной усилитель выполнен по сложной схеме с транзисторным выходом. Транзистор T_1 осуществляет промежуточное усиление и инвертирование входного сигнала, сигналы с его коллектора и эмиттера управляют выходными транзисторами T_2 и T_3. Диод $Д_8$ обеспечивает надежное запирание транзистора T_2. При поступлении сигнала с низким уровнем на один из входов схемы $И_1$ (A или B) и на один из входов схемы $И_2$ (C или D) в результате смещения входных диодов схем $И_1$ и $И_2$ в прямом направлении увеличение тока через эти диоды приведет к уменьшению тока в базу транзистора T_1. Последний перейдет в запертое состояние. Транзистор T_2 отпирается высоким уровнем на коллекторе транзистора T_1; транзистор T_3 заперт низким уровнем на эмиттере T_1; уровень выходного напряжения (логическая 1) будет несколько меньше напряжения E.

При подаче на входы A и B (или на C и D) уровня, соответствующего логической 1, диоды $Д_1$—$Д_2$ (или $Д_3$—$Д_4$) окажутся смещенными в обратном направлении. В этом случае ток от источника E потечет через резисторы R_1 или R_2, диоды схемы ИЛИ $Д_5$ или $Д_6$ и смещающий диод $Д_7$ в базу транзистора T_1. Последний отпирается; положительный потенциал на его эмиттере отпирает транзистор T_3. Потенциал на базе транзистора T_2 будет определяться суммой напряжений $U_{б.э}$ насыщенного транзистора T_3 и напряжением $U_{к.э}$ транзи-

стора T_1. Потенциал эмиттера транзистора T_2 будет определяться суммой напряжений $U_{к.э}$ транзистора T_3 и падения напряжения на диоде $Д_8$. Потенциалы базы и эмиттера транзистора T_2 примерно равны, и он перейдет в запертое состояние. Выходное напряжение схемы будет определяться напряжением $U_{к.э}$ насыщенного транзистора T_3 и составит 0,1—0,4 В.

В настоящее время наибольшее распространение среди логических схем получили транзисторно-транзисторные схемы (ТТЛ), являющиеся модификацией ДТЛ схем.

Отличие схем ТТЛ, выполняющих логическую функцию И-НЕ, от аналогичных схем ДТЛ заключается в том, что роль входных и одного смещающего диода выполняет многоэмиттерный транзистор,

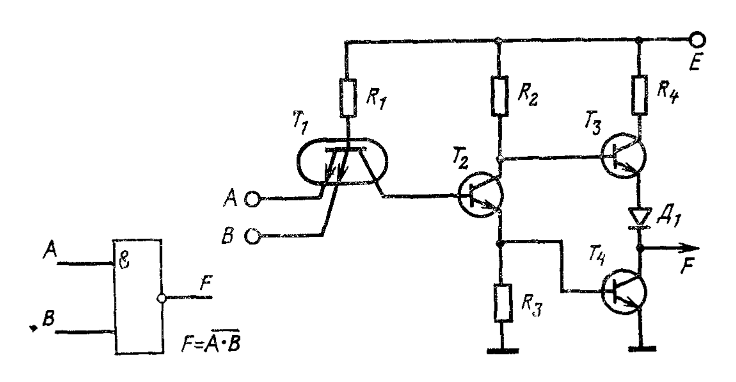


Рис. 3. Транзисторно-транзисторная схема И-НЕ.

причем эмиттерные переходы выполняют функцию входных диодов, а коллекторный переход — функцию смещающего диода.

На рис. 3 показана логическая схема И-НЕ, во входной цепи которой включен многоэмиттерный транзистор T_1. Если на все входы схемы подано напряжение с высоким уровнем, эмиттеры транзистора T_1 смещаются в обратном направлении и транзистор переходит в активный инверсный режим (переход база — коллектор T_1 смещен в прямом направлении). Ток от источника напряжения E протекает через переход база — коллектор транзистора T_1 в базу транзистора T_2; последний переходит в состояние насыщения, а уровень напряжения на выходе схемы соответствует логическому 0 Если же хотя бы на один из входов схемы подан низкий уровень напряжения, соответствующий эмиттер транзистора T_1 смещается в прямом направлении Ток от источника E протекает теперь через переход база — эмиттер в цепь источника входного сигнала. Коллекторный ток транзистора T_1 уменьшается до нуля, и транзистор T_2 запирается. Таким образом, при изменении напряжения на эмиттерах многоэмиттерного транзистора обеспечивается переключение тока из коллекторной цепи в эмиттерную, или наоборот. При работе многоэмиттерного транзистора в различных режимах его коллекторный переход постоянно смещен в прямом направлении; эмиттерные переходы с низким входным напряжением находятся в состоянии насыщения, а с высоким входным уровнем — в активном инверсном режиме. Инверсный коэффициент усиления по току многоэмиттерного тран-

зистора мал, поэтому и входные токи схемы в этом состоянии незначительны.

Применение в ИС ТТЛ сложных инверторов обеспечивает высокую нагрузочную способность ($n \geqslant 10$) при значениях емкостных нагрузок до 100 пФ. В схемах ТТЛ существенно увеличено быстродействие ($t_{з.ср} = 5 \div 30$ нс) и повышена помехозащищенность ($U \geqslant \geqslant 0{,}7$ В); коэффициенты объединения такие же, как и у ДТЛ схем ($m \leqslant 8$, $l \leqslant 6$). При работе на частотах, близких к предельным, у ТТЛ схем (впрочем, как и у ДТЛ схем со сложным инвертором) происходит увеличение потребляемой мощности в 2—3 раза.

Для построения декад с максимальным быстродействием наибольший интерес представляют интегральные схемы, выполненные на

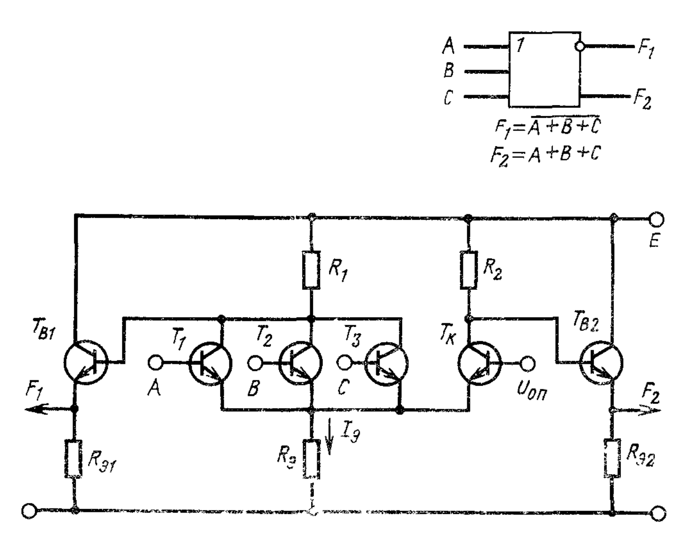


Рис. 4. Транзисторная схема с эмиттерными связями ИЛИ-НЕ-ИЛИ.

основе транзисторной логики с эмиттерными связями. На рис. 4 приведена основная логическая схема ТЛЭС, имеющая три входа и два выхода. По выходу F_1 схема выполняет логическую функцию ИЛИ-НЕ, а по выходу F_2 — логическую функцию ИЛИ. В качестве выходных каскадов включены эмиттерные повторители — транзисторы T_{B1} и T_{B2}, обеспечивающие большую нагрузочную способность базового элемента ($n \geqslant 10$). Транзистор $T_к$ выполняет роль переключателя тока в схеме. Если на все входы схемы подан низкий уровень напряжения (логический 0), то логические транзисторы переходят в запертое состояние, и напряжение на выходе F_1 будет соответствовать логическому уровню 1. На вход транзистора $T_к$ подается напряжение смещения E_1. Значение этого напряжения обеспечивает открытое состояние транзистора $T_к$ при низких уровнях напряжений на входах схемы Через резистор $R_э$, являющийся общей эмиттерной нагрузкой для логических транзисторов и транзистора $T_к$, протекает ток $I_э$ За счет этого тока на коллекторной нагрузке R_2 устанавливается напряжение $\Delta U = I_э R_2$. При этом напряжение на выходе F_2 снижается до

уровня логического 0 Если хотя бы на один из входов подать высокое напряжение (логическую 1), то соответствующий транзистор перейдет в отпертое состояние. Весь ток $I_э$ будет протекать через отпертый транзистор. При этом напряжение на выходе F_1 понизится, на выходе F_2 — повысится. Сопротивление резистора $R_э$ должно обеспечивать постоянство тока $I_э$ при изменениях состояния входных транзисторов Схему с объединенными эмиттерами иначе называют токовым ключом, так как при низком входном уровне ток $I_э$ течет в транзистор $T_к$, а при высоком — во входные транзисторы.

Схемы ТЛЭС относятся к классу сверхбыстродействующих ($t_{з\,ср}$=1÷5 нс). Малая величина задержки сигнала $t_{з\,ср}$ обеспечивается за счет исключения режима насыщения транзисторов и ограничения логического перепада до 0,7—0,8 В. У транзисторов схем ТЛЭС напряжение на коллекторе всегда выше напряжения на базе и переходы коллектор — база никогда не бывают смещенными в прямом направлении.

Триггеры

В цифровых устройствах для хранения, сдвига и счета различной информации широко используются триггеры. Чаще всего находят применение следующие типы триггеров: статические, счетные (Т-триггеры), JK-триггеры, RS-триггеры, D-триггеры.

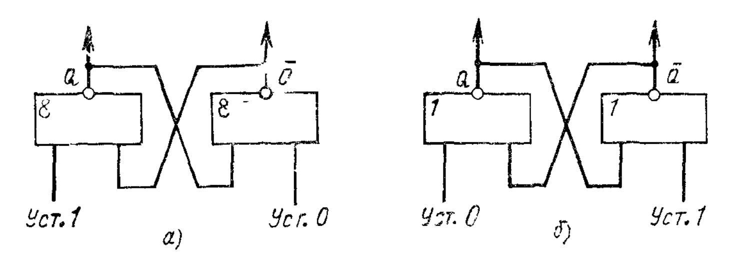


Рис. 5. Статические триггеры.
а — на схемах И-НЕ; *б* — на схемах ИЛИ-НЕ.

На рис 5 приведены схемы статических триггеров на элементах И-НЕ (рис. 5,*а*) и ИЛИ-НЕ (рис 5,*б*). Триггеры имеют два входа — «Уст. 0» и «Уст. 1» и два выхода — «единичный», обозначаемый обычно Q и «нулевой» $\bar{Q}$ При подаче импульса на вход «Уст 0» на выходе Q устанавливается низкий потенциал, соответствующий логическому 0, на выходе $\bar{Q}$ — высокий, соответствующий логической 1. Это состояние триггера считается нулевым и сохраняется после окончания импульса, т е. триггер обладает свойством хранения информации При подаче импульса на вход «Уст. 1» состояние триггера меняется на противоположное — единичное, т. е. на выходе Q — высокий потенциал, на выходе $\bar{Q}$ — низкий. Одновременная подача импульсов на оба входа недопустима так как приводит к неопределенному состоянию триггера Полярность импульсов записи информации — отрицательная для триггеров из элементов И-НЕ и положительная для элементов ИЛИ-НЕ.

При построении декад широкое применение получили счетные триггеры (Т-триггеры, триггеры со счетным входом). Типовая схема триггера на дискретных компонентах приведена на рис. 6.

Для того чтобы счетный триггер переключался по каждому импульсу, подаваемому на счетный вход, он должен содержать элементы, хранящие на время переключения информацию о предыдущем состоянии триггера. В триггере рис. 6 роль промежуточных элементов хранения выполняют конденсаторы C_3 и C_4. При изготовлении триггеров в виде интегральных микросхем использование конденсаторов приводит к резкому возрастанию размеров, поэтому обычно счетные триггеры выполняют или по схеме двух триггеров, один из которых служит для промежуточного запоминания информации, или с исполь-

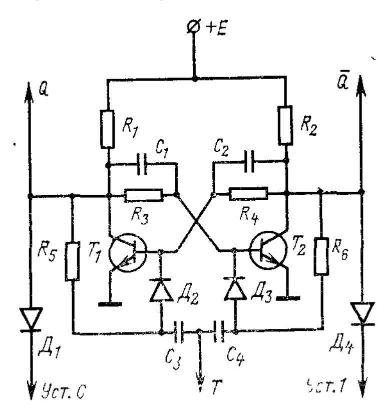


Рис. 6. Типичная схема счетного триггера на дискретных компонентах.

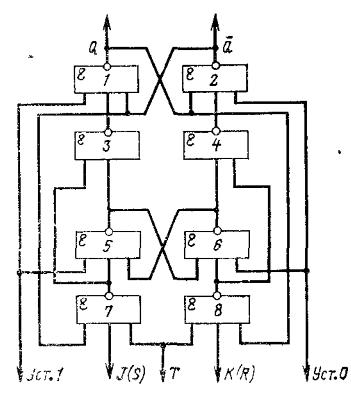


Рис. 7. JK-триггер на схемах И-НЕ.

зованием диодов с накоплением заряда. Полярность включения диодов $Д_2$ и $Д_3$ на рис. 6 следует изменить.

На рис. 7 показан счетный триггер на элементах И-НЕ, построенный по принципу двух триггеров. Четыре элемента образуют два статических триггера, из которых *1* и *2* входят в основной триггер, *5* и *6* — во вспомогательный. При низком потенциале на входе *T* на выходах схем *7* и *8* устанавливается высокий потенциал, разрешающий перепись информации из триггера на схемах *5* и *6* через клапаны *3* и *4* в триггер на схемах *1* и *2*. Для определенности предположим, что на выходе схемы *6* высокий потенциал, на выходе схемы *5* — низкий. Тогда на выходе схемы *4* сформируется низкий потенциал, на выходе схемы *3* — высокий.

Это приведет к тому, что основной триггер окажется в нулевом состоянии: на выходе *Q* — логический 0, на выходе $\bar{Q}$ — логическая 1. При подаче высокого потенциала на вход *T* входной клапан *7* открывается и становится возможной перепись информации из основного триггера во вспомогательный. На выходе клапана *7* формируется низкий потенциал, переключающий вспомогательный триггер в состояние, при котором на выходе *5* — высокий потенциал, на выходе

6 — низкий. На выходах элементов 3 и 4 — высокий потенциал и переписи из вспомогательного триггера в основной не происходит. Теперь при подаче низкого потенциала на вход T произойдет перепись информации из вспомогательного триггера в основной и триггер на элементах 1 и 2 переключится: на выходе Q появится логическая 1, на $\bar{Q}$ — логический 0. Таким образом, переключение основного триггера будет происходить каждый раз в момент окончания положительного тактового импульса, подаваемого на вход T.

Логические возможности Т-триггера могут быть значительно расширены, если использовать дополнительные входы клапанов 7 и 8, обозначенные на рис. 7 как J и K. Триггер с такими входами называют JK-триггером.

Если на входах J и K высокий потенциал, то JK-триггер работает как обычный счетный триггер. Если на входах J и K одновременно низкий потенциал, то состояние триггера при подаче импульсов по тактовому входу T не меняется. Если на входе J высокий потенциал, а на входе K — низкий, то по отрицательному фронту импульса на входе T появляется высокий потенциал на выходе Q и низкий — на выходе $\bar{Q}$, и наоборот, если на входе J низкий потенциал, а на входе K — высокий, то по отрицательному фронту на входе T появляется низкий потенциал на выходе Q, и высокий — на выходе $\bar{Q}$.

JK-триггеры бывают двух типов. синхронные и универсальные. Работа синхронных триггеров описана выше, следует только добавить, что изменение состояния синхронных триггеров может происходить лишь по отрицательному фронту на входе T и, конечно, на входах «Уст. 0» и «Уст. 1». Изменение сигналов на J и K входах (независимо от напряжения на входе T) не влияет на состояние триггера.

Несколько иначе работает универсальный JK-триггер. Если на входе T низкий потенциал, то изменение сигналов на JK-входах не влияет на состояние триггера. Если же на входе T высокий потенциал, отрицательный фронт на входе J приводит к появлению на выходе Q высокого потенциала, отрицательный фронт на входе K — низкого. Этот режим работы универсальных триггеров позволяет упростить построение различных счетчиков.

В качестве примера универсального JK-триггера, использующего диоды с накоплением заряда, рассмотрим микросхему К2ТК171. Схему триггера (рис. 8) составляют два элемента И-ИЛИ-НЕ диодно-транзисторной логики. Диоды с накоплением заряда $Д_5$—$Д_8$ выполняют роль элементов хранения информации. Для нормальной работы триггера необходимо соединить перемычкой выводы 1 и 3; по этой цепи обеспечивается обратная связь.

Рассмотрим работу схемы триггера в счетном режиме Для определенности допустим, что транзистор T_1 заперт, а T_2 отперт, т. е. триггер находится в состоянии 1 и пусть на счетный вход подан низкий уровень напряжения, а на все остальные — высокий. В этих условиях триггер сохраняет свое состояние. При подаче на счетный вход высокого уровня в базу уже насыщенного транзистора T_2 потечет дополнительный отпирающий ток от источника E через резистор R_3 и диоды $Д_6$ и $Д_8$. Величина заряда, накапливаемого в диодах $Д_6$ и $Д_8$, пропорциональна прямому току через диод и зависит от времени его протекания. После прекращения действия входного сигнала, т. е когда на счетном входе устанавливается низкий уровень напряжения, ток от источника E через резистор R_3 переключается из

базовой цепи транзистора T_2 через входной диод в цепь источника входного низкого уровня. Одновременно происходит рассасывание заряда диодов $Д_6$ и $Д_8$. Ток, протекавший ранее через резистор R_4 в базу транзистора T_2, на время рассасывания диода $Д_6$ также переключается в цепь источника входного сигнала; помимо этого разряд диода $Д_6$ вызовет рассасывающий базовый ток в транзисторе T_2, что приведет к его запиранию. Высокий уровень напряжения с коллектора транзистора T_2 подается по цепи обратной связи на входы другого плеча триггера, что в свою очередь вызовет переключение

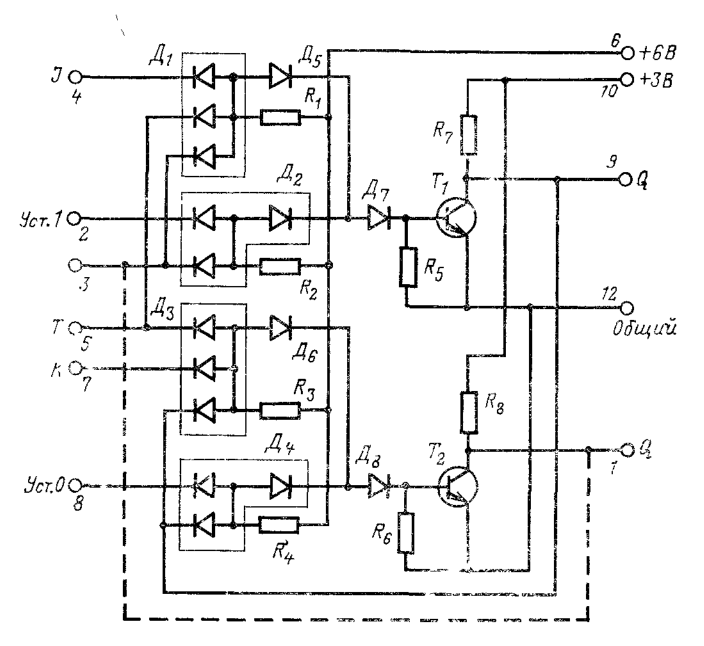


Рис 8. Схема триггера К2ТК171.

тока от источника E через резистор R_1 из цепи входного диода в цепь базы транзистора T_1. В результате произойдет отпирание последнего и триггер переключится в состояние 0. Таким образом, переключение триггера из одного состояния в другое производится отрицательным перепадом входного напряжения на счетном входе. Переключение триггера из состояния 0 в состояние 1 происходит аналогично; различие заключается в том, что при поступлении очередного запускающего импульса положительной полярности заряд будут накапливать диоды $Д_5$ и $Д_7$.

Характерной особенностью триггеров К2ТК171 является возможность установки их в 0 или 1 (по входам «Уст. 0» и «Уст. 1») лишь при низком потенциале на входе T.

Отметим, что оба рассмотренных выше JK-триггера являются универсальными. На принципиальных схемах универсальные триггеры характеризуются тем, что в них вход T образуется соединением двух

входов, идентичных J и K входам, а для образования входа T синхронного триггера кроме J и K входов используются входы других клапанов триггера.

Если в JK-триггере убрать связи выходов Q и $\bar{Q}$ с входными клапанами, то образуется так называемый RS-триггер, который работает так же, как и JK-триггер, но с одним ограничением: для RS-триггера недопустимо одновременное появление на входах R и S логической единицы. RS-триггеры находят применение в сдвигающих регистрах и счетчиках на их основе. Еще более широкое применение в сдвигающих регистрах находят так называемые D-триггеры. Триггеры этого типа имеют вместо J и K входов один D вход и работают следующим образом. При подаче отрицательных импульсов на входы «Уст. 0» и «Уст. 1» на выходе Q появляется низкий или высокий потенциал соответственно. Если на вход D подан низкий потенциал, то по положительному фронту импульса на входе T появляется низкий потенциал на выходе Q, и наоборот, т. е. состояние триггера после окончания положительного фронта на входе T определяется сигналом на входе D перед началом положительного фронта. Для получения режима счетного триггера вход D соединяют с выходом $\bar{Q}$ триггера, в этом случае триггер меняет свое состояние по положительным фронтам входных импульсов.

Принципы построения счетчиков

Счетчики импульсов являются самым распространенным функциональным элементом дискретных устройств.

При поступлении счетных импульсов на вход счетчика каждый импульс увеличивает показания счетчика на единицу. В большинстве измерительных устройств с цифровым отсчетом находят преимущественное применение суммирующие счетчики, поэтому в книге будут рассматриваться счетчики только этого вида.

По способу построения схем различают две основные группы счетчиков: счетчики на счетных триггерах и счетчики на кольцевых регистрах (сдвигающие счетчики).

Основными характеристиками счетчиков являются: коэффициент пересчета $K_{сч}$ и быстродействие счетчика $f_{сч}$. Коэффициент пересчета определяется количеством устойчивых состояний счетчика или предельным числом импульсов, которое может быть сосчитано счетчиком. Например, при $K_{сч}=10$ счетчик имеет десять устойчивых состояний, и каждый десятый импульс, из числа поступающих на его вход, будет возвращать счетчик в исходное состояние.

Значение $f_{сч}$ определяет максимальную частоту поступления счетных импульсов на вход счетчика. Для большинства схем счетчиков быстродействие $f_{сч}$ определяется быстродействием триггера младшего разряда счетчика.

В цифровых измерительных приборах широко используется двоично-десятичная система счисления. В этой системе сохраняется расположение десятичных разрядов, а цифра каждого разряда представляется группой из четырех двухпозиционных (0 или 1) символов. Например, десятичное число 415 в двоично-десятичной системе будет иметь вид: 0100 0001 0101. При двоично-десятичной системе счетчик цифрового устройства состоит из двоично-десятичных разрядов или

декад. Декада представляет собой устройство, состоящее обычно из четырех последовательно включенных двоичных разрядов (триггеров), в котором коэффициент пересчета $K_{сч}=16$ уменьшен до 10. Для перехода к двоично-десятичной системе необходимо исключить шесть избыточных устойчивых состояний шестнадцатиричного счетчика. Этого можно добиться двумя путями: дополнительным (искусственным) переключением триггеров или удержанием их от переключения (т. е. пропуском переключения). Практически дополнительное переключение ячеек осуществляется введением обратных связей, под действием которых ячейки, находящиеся в состоянии 0, переходят в состояние 1, а удержание от переключения проще всего выполняется путем введения логических схем И, которые закрываются при определенных состояниях системы и не пропускают запускающие импульсы.

Декада имеет десять состояний устойчивого равновесия, или, иначе говоря, десять комбинаций состояний 0 и 1 двоичных разрядов. Двоичные разряды, входящие в декаду, обычно обладают весом. Под весом разряда подразумевается десятичное число, которое приписывается двоичному разряду, находящемуся в состоянии 1 Сумма весов разрядов, находящихся в состоянии 1, равна числу поступивших на декаду импульсов. Комбинация весов, расположенных в порядке соответствия их двоичным разрядам, называется кодом декады. Веса́ последовательно соединенных четырех двоичных ячеек имеют значения 1, 2, 4 и 8. После введения обратных связей веса́ ячеек могут принимать любые значения от 1 до 8 в зависимости от структуры схемы декады. Наиболее распространенными являются коды: 1-2-4-8, 1-2-2-4 и 1-2-4-2.

В двоично-десятичном коде разрядам, следующим обычно справа налево друг за другом, приписываются веса, равные последовательно возрастающим степеням основания 2, а сама десятичная цифра равняется сумме произведения этих весов на соответствующую двоичную цифру. В табл. 2 показан код, в котором разряды, следующие друг за другом, имеют веса 8-4-2-1.

Таблица 2

Определение двоично-десятичного эквивалента десятичного числа

Десятичное число	Веса			
	2^3	2^2	2^1	2^0
	8	4	2	1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

В целях повышения быстродействия двоично-десятичного счетчика (декады) его схему целесообразно строить из одного двоичного разряда и одного пятеричного счетчика В пятеричном счетчике, состоящем из трех двоичных разрядов, необходимо пропустить три избыточных состояния. При этом количество возможных последовательностей (кодов) равно 35 Однако из этих последовательностей следует выбирать лишь те, которые обладают следующими преимуществами: быстродействие пятеричного счетчика должно быть равно быстродействию одного триггера со счетным входом; логические схемы, используемые в счетчике, должны быть по возможности простыми. Исходя из этого условия, в счетчиках применяются только схемы И, причем не более чем с тремя входами.

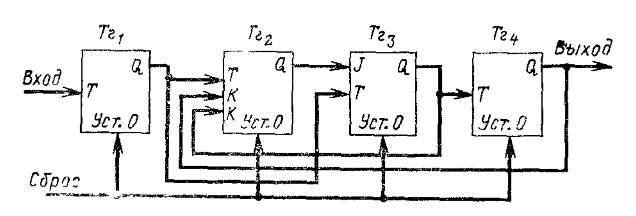


Рис. 9. Счетчик на JK-триггерах в коде 1-2-2-4.

В счетчиках, собранных на интегральных схемах, роль входов схем И обычно выполняют *J* и *K* входы триггеров.

На рис. 9 приведена функциональная схема десятичного счетчика, построенная в соответствии с перечисленными условиями. Счетчик работает в коде 1-2-2-4. В табл. 3 приведены последовательности состояний разрядов счетчика по схеме рис. 10. На рис. 10,*а* код счетчика 1-2-4-8

Рассмотренные выше счетчики могут быть собраны как на универсальных, так и на синхронных JK-триггерах, но требуют, чтобы по крайней мере у одного триггера было два входа *J* или *K*. На рис. 10,*б* приведена более простая схема счетчика, работающего

Таблица 3

Состояния счетчика в коде 1-2-2-4

Входные импульсы	Состояния триггеров			
	$Тг_1$	$Тг_2$	$Тг_3$	$Тг_4$
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	1	1	0
5	1	1	1	0
6	0	1	0	1
7	1	1	0	1
8	0	1	1	1
9	1	1	1	1
10	0	0	0	0

в коде 1-2-4-8, но выполнимая лишь на универсальных JK-триггерах; в табл. 4 приведены состояния триггеров. Быстродействие счетчиков по рис. 9 и 10 определяется быстродействием одного триггера.

Большой интерес для построения декад представляют кольцевые счетчики на основе сдвигающих регистров — так называемые «счетчики Джонсона» или схемы «лента Мебиуса». На рис 11,*а* показана схема такого счетчика на JK или RS-триггерах, на рис. 11,*б* — на D-триггерах. В табл. 5 приведена последовательность состояний счетчика в зависимости от числа поступивших входных импульсов.

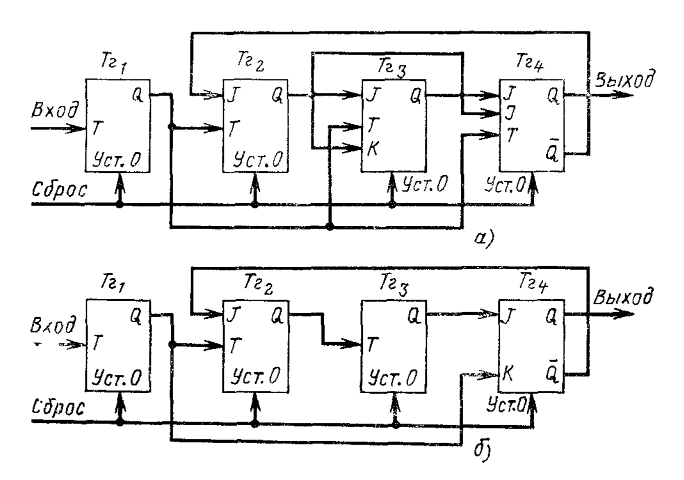


Рис. 10. Счетчики на JK-триггерах в коде 1-2-4-8.

Таблица 4

Состояния счетчика в коде 1-2-4-8

Входные импульсы	Состояния триггеров			
	$Тг_1$	$Тг_2$	$Тг_3$	$Тг_4$
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	0	0	0

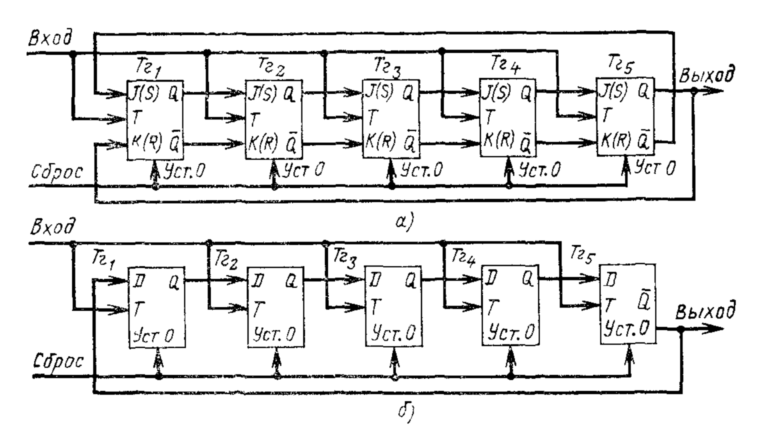


Рис. 11. Кольцевые счетчики.
а — на JK или RS-триггерах; *б* — на D-триггерах

Таблица 5

Состояния кольцевого счетчика

Входные импульсы	Состояния триггеров				
	$Тг_1$	$Тг_2$	$Тг_3$	$Тг_4$	$Тг_5$
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	0	0
4	1	1	1	1	0
5	1	1	1	1	1
6	0	1	1	1	1
7	0	0	1	1	1
8	0	0	0	1	1
9	0	0	0	0	1
10	0	0	0	0	0

Индикаторы

Применение цифрового отсчета при различных измерениях имеет ряд преимуществ. Повышается точность и скорость считывания, так как цифровое обозначение результата измерений легче воспринимается оператором, исключаются ошибки, возникающие при считывании результатов измерений со шкал показывающих приборов из-за недостаточного отсчета делений и параллакса; информация о результатах измерений может быть передана на регистрирующее устройство.

В цифровых приборах визуальная индикация выходных данных (результатов измерений) производится с помощью устройств цифрового отсчета, в состав которых входят цифровые индикаторы (ЦИ) различных типов К ним относятся световые табло, проекционные устройства, электролюминесцентные ЦИ, газоразрядные счетные лампы — декатроны, ЦИ из элементов волоконной техники, газоразрядные ЦИ и др

В настоящее время наибольшее применение в цифровых приборах получили газоразрядные лампы ИН-4, ИН-12, ИН-14, ИН-15 и др. Преимущества этих ламп заключаются в небольших размерах, малом потреблении энергии, высокой контрастности изображения и малой инерционности; схема управления лампой проста и надежна.

Систему электродов лампы образуют десять катодов, выполненных в виде арабских цифр от 0 до 9 и сетчатого анода Баллон лампы заполнен неоном, поэтому цифры имеют красное свечение, отчетливо выделяясь на панели прибора При подаче напряжения на анод и один из катодов в лампе возникает тлеющий разряд. Цифры просматриваются сквозь купол лампы; высота цифр 16, ширина 10 мм.

У индикатора ИН-4 четные и нечетные цифры конструктивно составляют отдельные группы, в каждой из которых имеется собственный анод Эта особенность индикатора позволяет несколько упростить пересчетные устройства, так как при этом может быть сокращено вдвое количество высоковольтных транзисторных «ключей».

Индикатор ИН-12А предназначен для индикации цифр, ИН-12Б — для индикации цифр и знака «запятая», ИН-15А — для индикации символов «+», «—», «%», «м», «п», «к», «m», «р», «μ»; ИН-15Б — для индикации символов «A», «V», «Ω», «Hz», «F», «S», «W».

Ламповая панель для индикатора ИН-4 имеет обозначение ПЛ31-П, для индикаторов ИН-12 и ИН-15 — ПЛ31а-п.

Индикатор ИН-14 предназначен для индикации цифр и двух знаков «запятая». Символы просматриваются сквозь боковую поверхность баллона. Лампа не имеет цоколя; выводы от электродов сделаны в виде гибких проводников.

В индикаторе ИН-18 высота цифр составляет 40 мм.

Основные параметры газоразрядных индикаторов: напряжение зажигания около 200 В; ток индикации для цифр не более 2,5 мА; ток индикации для запятых не более 0,3 мА; наименьшее напряжение питания 200 В (постоянного тока или действующее значение для пульсирующего тока); напряжение горения около 150 В

Для зажигания одной из цифр необходимо к соответствующему промежутку цифровой катод — анод приложить через ограничивающий резистор напряжение не менее 200 В После зажигания цифры на горящем промежутке падает напряжение около 150 В, а на резисторе — остальные 50 В. Для гашения цифр напряжение на соответствующих промежутках должно быть снижено.

Дешифраторы

Выходные напряжения десятичных счетчиков непригодны для непосредственной подачи на катоды индикаторных газоразрядных ламп из-за малых уровней выходных сигналов и несоответствия кодов. Поэтому для включения цифровых индикаторов применяют дешифраторы для преобразования кодов и высоковольтные ключевые тран-

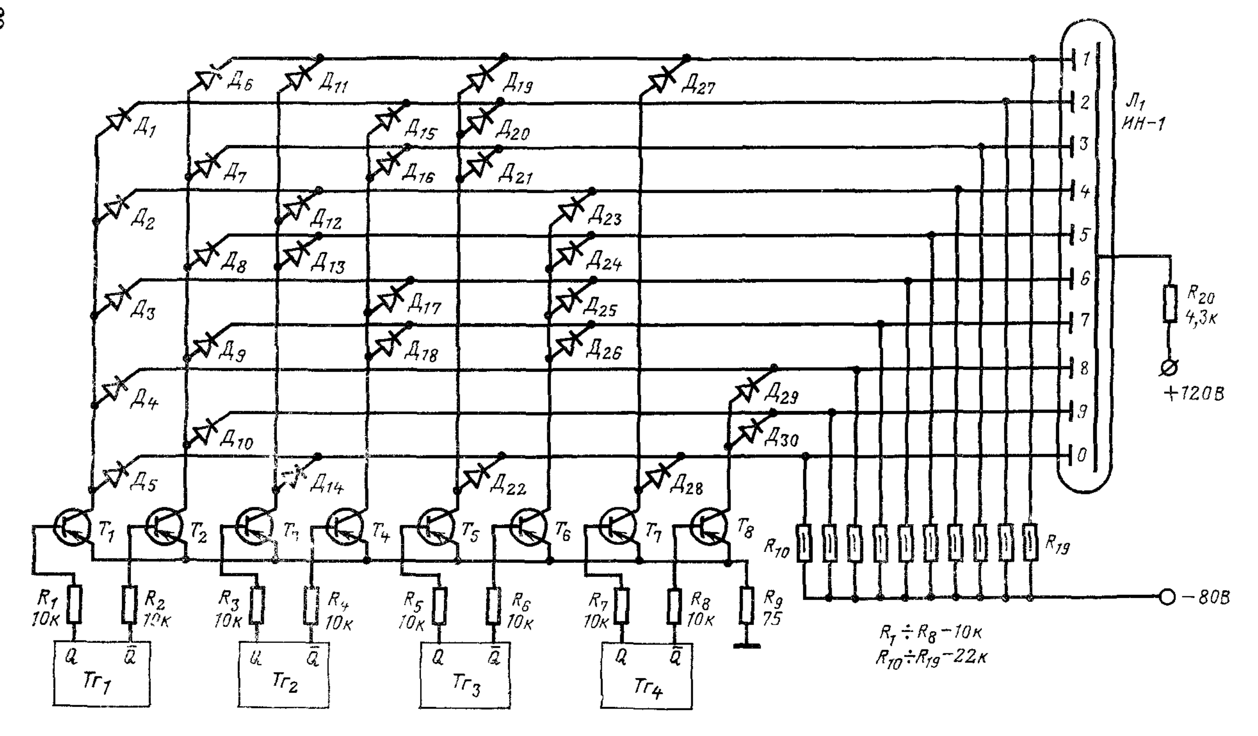


Рис. 12. Схема дешифратора с использованием ключевых транзисторов *p-n-p* типа.

зисторы для усиления сигналов до необходимой амплитуды. Часто ключевые транзисторы являются одной из ступеней дешифратора, что существенно упрощает построение декад.

Рассмотрим схемы дешифраторов и высоковольтных ключей

До разработки высоковольтных кремниевых *n-p-n* транзисторов широкое распространение имели матричные диодные дешифраторы с высоковольтными *p-n-p* транзисторами типа МП26Б (рис 12). Такой дешифратор (матрица) имеет восемь входных и десять выходных шин, которые соединены между собой 30 высоковольтными диодами типа Д220Б или КЦ401А в соответствии с кодом декады.

Выходы триггеров через транзисторы соединены с входными шинами матрицы; выходные шины соединены с цифровыми катодами индикатора. Резисторы R_{10}—R_{19} сопротивлением 22 кОм являются коллекторными нагрузками ключей; напряжение — 80 В служит для питания их коллекторных цепей.

Дешифратор рассчитан на подключение к счетчику, работающему в коде 1 2-4-8.

Работу дешифратора удобнее всего проследить на примере индикации какой-либо конкретной цифры, например 1. Ее код 0001, т. е. на выходе Q триггера $Тг_1$ отрицательный потенциал, на выходе $\bar{Q}$ — нулевой. Все остальные триггеры находятся в противоположном состоянии. Транзисторы T_1, T_4, T_6 и T_8, базы которых подключены к выходам с отрицательным потенциалом, насыщены, потенциал на их коллекторах близок к нулю. Все катоды лампы, кроме первого, соединены через диоды по крайней мере с одним из открытых транзисторов; разность потенциалов между анодом и катодами составляет 120 В и недостаточна для их зажигания. Первый катод подключен через диоды к коллекторам запертых транзисторов и через резистор R_{19} к источнику — 80 В. В результате к промежутку анод— первый катод приложено напряжение 200 В (загорается цифра *1*). Ток через лампу ограничивается резисторами R_{19} и R_{20}.

Основным и очень серьезным недостатком описанного выше дешифратора является большая мощность, рассеиваемая в резисторах R_{10}—R_{19}. Кроме того, зажигание необходимой цифры иногда сопровождается слабым свечением остальных цифр. Подсвет возникает из-за разброса отдельных экземпляров индикаторных ламп по напряжениям зажигания и горения.

Подсвет может быть устранен путем подбора сопротивления ограничивающего резистора R_{20} в цепи анода. Сопротивление подбирается в пределах 4,3—12 кОм.

Значительно лучшими свойствами обладают дешифраторы, использующие современные высоковольтные кремниевые *n-p-n* транзисторы, например типов П307—П309, КТ601А, КТ605, а также транзисторные матрицы К1НТ661А. Схема такого дешифратора показана на рис. 13 Дешифратор может быть собран на микросхемах К2ЛП173, представляющих собой диодно-резистивные схемы совпадения И (рис. 14). Выходы схем И подключены к базам ключевых транзисторов T_1—T_{10}, коллекторы которых в свою очередь соединены с соответствующими катодами индикаторной лампы. Для ограничения напряжения на коллекторах закрытых транзисторов использованы резисторы R_{12}—R_{21}, подключенные к делителю напряжения R_{22}—R_{23}. Для упрощения коммутации цифры индикатора разделены на четные и нечетные и их включение определяется состоянием триггера $Тг_1$. Для этого нечетные цифровые катоды через соответствующие ключи и диоды дешифратора соединены с выходом Q

триггера $Tг_1$, четные — с выходом $\bar{Q}$. Выбор необходимой цифры из той или иной группы осуществляется с помощью остальных триггеров.

Дешифратор предназначен для работы с декадой в коде 1-2-4-8.

Рассмотрим работу дешифратора при индикации цифры 1. На выходе Q триггера $Tг_1$ высокий потенциал, на выходе $\bar{Q}$ — низкий, остальные триггеры находятся в противоположном состоянии (см рис. 13). Диоды $Д_1$, $Д_{16}$, $Д_{24}$ и $Д_{30}$ заперты. Ток, протекающий через

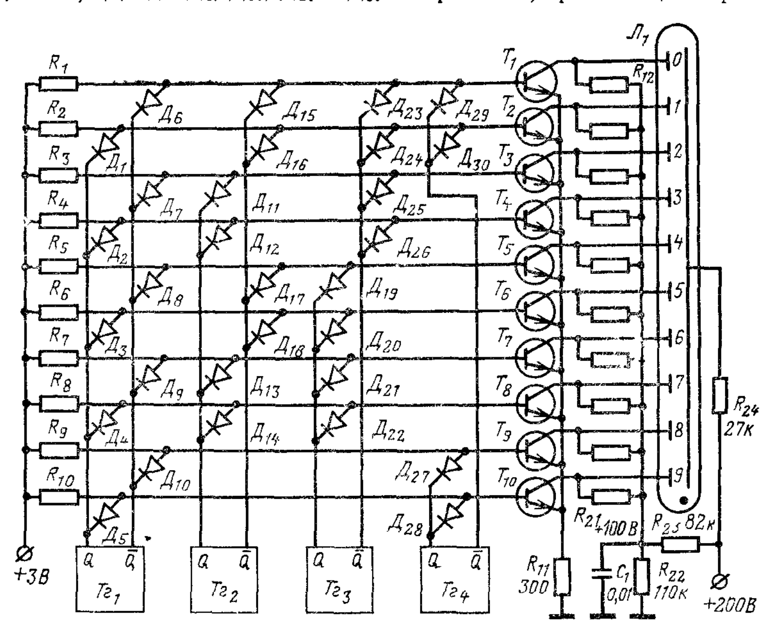


Рис. 13. Схема диодного дешифратора с ключевыми транзисторами n-p-n типа.

Резисторы R_1—R_{10} и диоды $Д_1$—$Д_{30}$ входят в состав интегральных схем К2ЛП173 Сопротивление резисторов R_{12}—R_{21} составляет 200 кОм, транзисторы T_1—T_{10} типа П308

резистор R_2, отпирает транзистор T_2. При этом зажигается цифра 1. Остальные транзисторы заперты низким напряжением (порядка 0,8 В), которое подводится к их базам через диоды, например $Д_6$—$Д_{10}$, $Д_{15}$ и др Это напряжение устанавливается на резисторе R_{11} за счет тока эмиттера транзистора T_2

Схема диодно-резистивного дешифратора с n-p-n транзисторами может быть значительно упрощена, если в качестве одного из входов дешифратора использовать эмиттеры ключевых транзисторов, а резисторы схем совпадений использовать наравне с диодами (рис. 15) Однако это приводит к увеличению нагрузки на триггеры: для $Tг_1$ появляется втекающий ток нагрузки 2—4 мА, для остальных — вытекающий ток 0,5 мА, что вполне допустимо. Этот дешифратор предназначен для работы со счетчиком в коде 1-2-4-8.

Рассмотрим для примера работу дешифратора при индикации цифры 3 На выходах Q триггеров $Тг_1$ и $Тг_2$ высокий потенциал, на выходах $\bar{Q}$ — низкий Диод $Д_3$ заперт; с выхода $\bar{Q}$ триггера $Тг_3$ ток через резистор R_2 течет в базу транзистора T_4 и отпирает его. Транзистор T_3 при этом заперт, так как его эмиттер подключен к выходу Q триггера $Тг_1$, имеющему высокий потенциал. Диоды $Д_6$ и $Д_7$ обеспечивают запирание неработающих транзисторов.

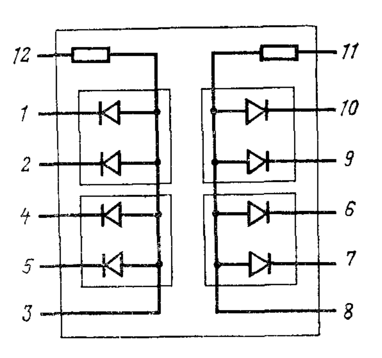


Рис. 14. Интегральная схема К2ЛП173.

В некоторых случаях диоды схем совпадения могут быть заменены на резисторы. Подобная схема дешифратора приведена на рис. 16. Потенциалы на выходах триггеров могут быть нулевыми или отрицательными. Отрицательный потенциал, снимаемый с триггера $Тг_1$, составляет около 0,5 В, с триггеров $Тг_2$—$Тг_4$—8—10 В. Базы транзисторов дешифратора подключены к источнику +6 В через резисторы R_{14}—R_{18} и к выходам триггеров через резисторы R_1—R_{10}. Для включения какого-либо из ключевых транзисторов необходимо, чтобы на плечах триггеров, к которым подключена через резисторы база данного транзистора, был нулевой потенциал. Отношение сопротивлений резисторов R_1—R_{10} и R_{14}—R_{18} выбрано таким, что если хотя бы на одном из упомянутых плеч триггера имеется отрицательный потенциал, то соответствующий транзистор будет заперт Рассмотрим, как происходит индикация цифры 3 Код этой цифры 0011, что соответствует потенциалу порядка — 0,5 В на эмиттере транзистора T_2, нулевому — на эмиттере транзистора T_1 и на выходе $\bar{Q}$ триггера $Тг_2$ и порядка —8 В на выходах Q триггера $Тг_2$ и $\bar{Q}$ триг-

Таблица 6

Состояния входов и выходов десятичного дешифратора

Входные импульсы	Состояния входов				Состояния выходов									
	A	B	C	D	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
1	1	0	0	0	1	0	1	1	1	1	1	1	1	1
2	0	1	0	0	1	1	0	1	1	1	1	1	1	1
3	1	1	0	0	1	1	1	0	1	1	1	1	1	1
4	0	0	1	0	1	1	1	1	0	1	1	1	1	1
5	1	0	1	0	1	1	1	1	1	0	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1
7	1	1	1	0	1	1	1	1	1	1	1	0	1	1
8	0	0	0	1	1	1	1	1	1	1	1	1	0	1
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0

геров $Tг_3$ и $Tг_4$. На нижних выводах резисторов R_3 и R_5 нулевой потенциал, что обеспечивает возможность включения транзисторов T_{11} и T_{12}; в рассматриваемом случае включится транзистор T_{12}, так как потенциал его эмиттера ниже. Все остальные транзисторы заперты, горит цифра 3.

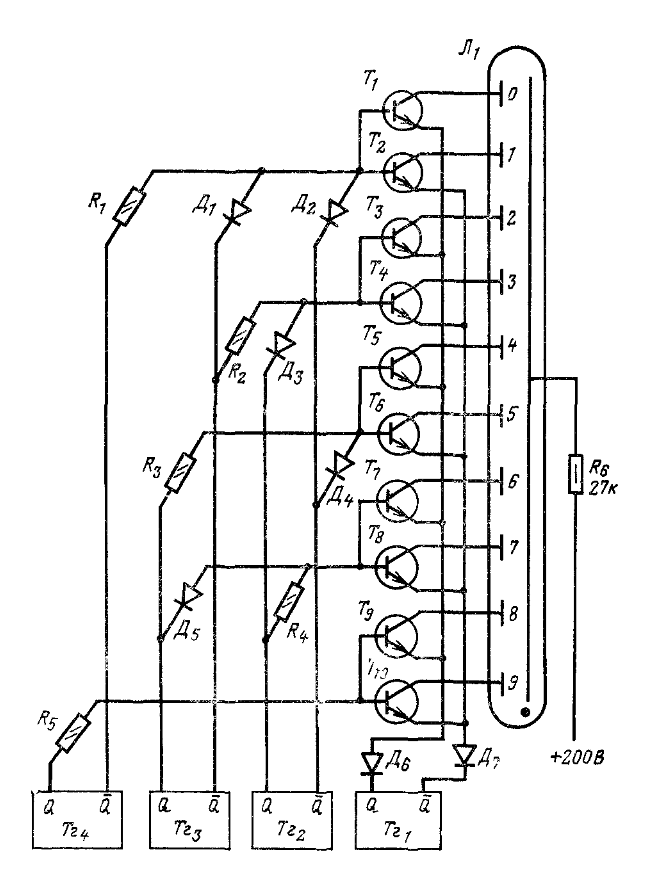


Рис. 15. Схема диодно-резистивного дешифратора.

Методами интегральной электроники дешифратор с высоковольтными ключевыми транзисторами может быть изготовлен в таком же корпусе, как и стандартные интегральные микросхемы (рис. 17).

Рассматриваемая схема состоит из входных (*1—4*) и промежуточных (*5—8*) инверторов, формирующих управляющие сигналы, схем совпадения (*9—12*) на многоэмиттерных транзисторах и десяти выходных управляющих транзисторов — схем с «открытым коллектором» (*13—22*). Эмиттеры выходных транзисторов объединены в две

группы — четные и нечетные. По эмиттерам четной группы управление осуществляется выходными сигналами промежуточного инвертора *5*, по эмиттерам нечетной группы — сигналами входного инвертора *1*. Выходные сигналы схем совпадения управляют по базам выходными транзисторами

В табл. 6 приведены состояния входов *A*, *B*, *C*, *D* и выходов x_0—x_9 в зависимости от входных сигналов. Состояние логического 0 на выходе схемы соответствует отпертому выходному транзистору, а состояние логической 1 — запертому транзистору. На входы дешифратора поступают сигналы в коде 1-2-4-8. В зависимости от поступления входных сигналов один из десяти транзисторов отпирается, остальные транзисторы остаются запертыми Коллекторы выходных транзисторов соединяются с катодами цифровой индикаторной лампы. При отпирании выходного транзистора на катоде индикатора происходит понижение потенциала (до уровня приблизительно 2,5 В), достаточное для зажигания соответствующей цифры Для предотвращения пробоя выходных транзисторов коллекторы последних соединены с шиной «0» через стабилитроны, которые фиксируют потен-

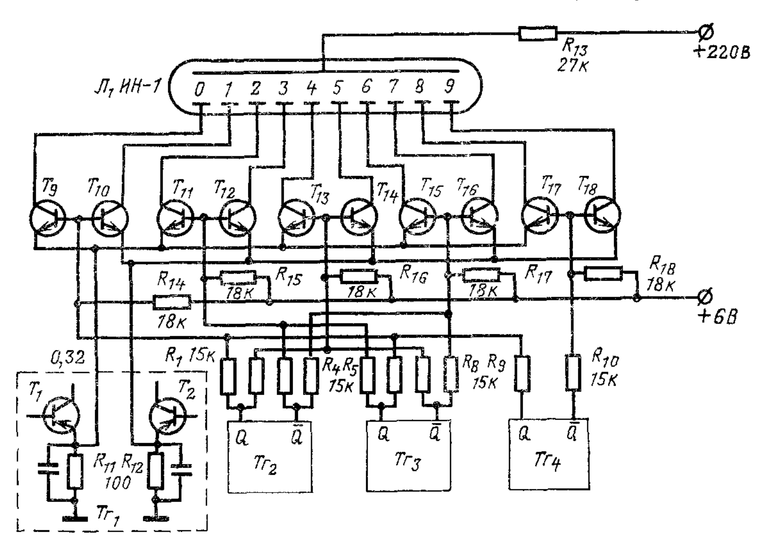


Рис. 16. Схема резистивно-транзисторного дешифратора.

циал коллектора запертого транзистора на уровне приблизительно 50 В Эмиттеры выходных транзисторов инверторов *1* и *5* соединены через диод с шиной «0». При этом повышается потенциал на эмиттерах соответствующей группы выходных транзисторов и обеспечивается их надежное запирание при низком потенциале на базе транзистора.

Описываемая интегральная схема выполнена на основе транзисторно-транзисторной логики. По входным логическим уровням, напряжению питания (+5 В±10%) и конструкции корпуса эта схема подобна интегральным схемам серий 130, 133, 136. Мощность, потребляемая схемой, составляет 105 мВт.

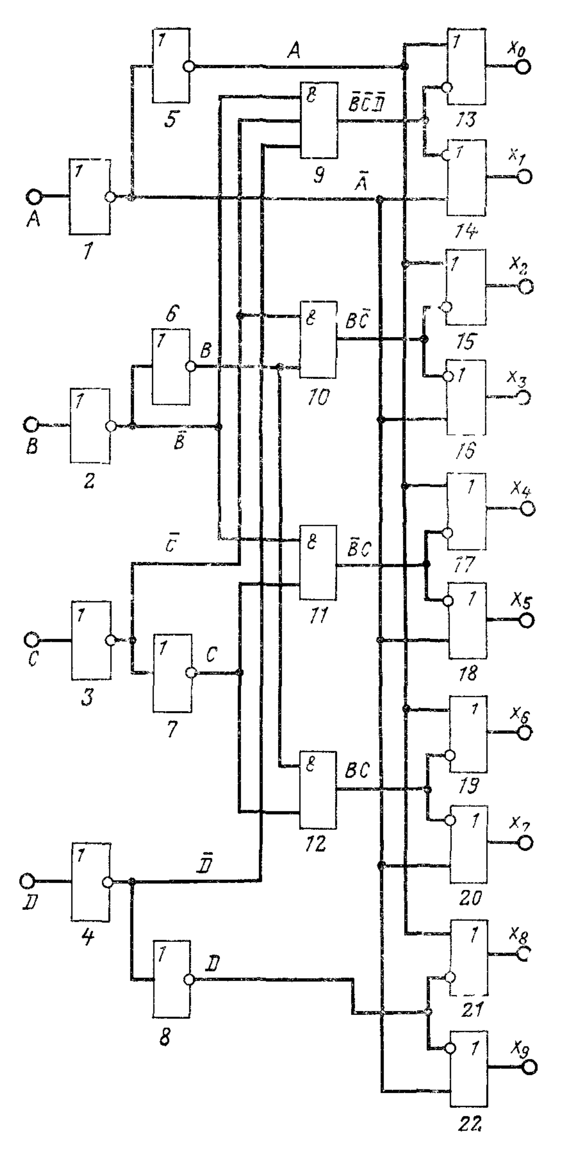


Рис. 17. Схема интегрального дешифратора.

Глава вторая

ПЕРЕСЧЕТНЫЕ ДЕКАДЫ

В настоящее время ассортимент интегральных схем, выпускаемых промышленностью, позволяет строить декады самого различного быстродействия. Триггеры имеют диапазон рабочих частот от 1,5 МГц при потребляемой мощности 8 мВт (серия К134) до 160 МГц при мощности 150 мВт. В данной главе основное внимание уделено декадам на микросхемах среднего быстродействия, получивших широкое распространение.

Декады на дискретных компонентах еще не потеряли своего значения в тех случаях, когда важна минимальная стоимость, а к габаритам не предъявляется жестких требований. Поэтому здесь описывается несколько декад, выполненных на транзисторах.

Декада на универсальных JK-триггерах

Пересчетная декада (рис. 18) собрана с использованием интегральных микросхем К2ТК171Б, имеющих максимальную частоту переключения 3 МГц, и дискретных элементов.

Счетная часть декады собрана по схеме рис. 10,*б*. Для обеспечения коэффициента пересчета $K_{сч}=10$ в схему декады введены дополнительные связи — с выхода $\overline{Q}$ триггера $Тг_4$ на вход J триггера $Тг_2$ и с выхода Q триггера $Тг_3$ на вход J триггера $Тг_4$, кроме того, вход K триггера $Тг_4$ соединен с выходом Q триггера $Тг_1$.

При помощи этих связей осуществляется управление триггером $Тг_4$ по восьмому и десятому импульсам, а также передача запрещающего сигнала на триггер $Тг_2$ на время действия десятого импульса. Код декады 1-2-4-8.

Перед началом счета импульс «сброс» переводит декаду в исходное состояние. При этом на выходах Q всех триггеров устанавливается низкий потенциал. Импульс «сброс» (отрицательной полярности) имеет амплитуду около 3 В и длительность не менее 100 нс. Запуск декады осуществляется импульсами положительной полярности амплитудой 2,6 В.

По мере поступления счетных импульсов на вход декады происходит последовательное переключение триггеров (рис. 18,*б*). Под действием восьмого импульса триггеры $Тг_1$, $Тг_2$ и $Тг_3$ переходят в состояние 0, триггер $Тг_4$ — в состояние 1. Низкий потенциал с выхода $\overline{Q}$ триггера $Тг_4$ по одной из дополнительных связей поступает на вход J триггера $Тг_2$ и предотвращает переключение последнего по десятому импульсу.

Десятый импульс переключает триггер $Тг_1$ и по второй из дополнительных связей триггер $Тг_4$ в состояние 0; одновременно снимается запрет с триггера $Тг_2$. На этом заканчивается формирование импульса на выходе триггера $Тг_4$. Срез выходного импульса производит запуск следующей декады счетчика. Декада подготовлена к очередному циклу работы.

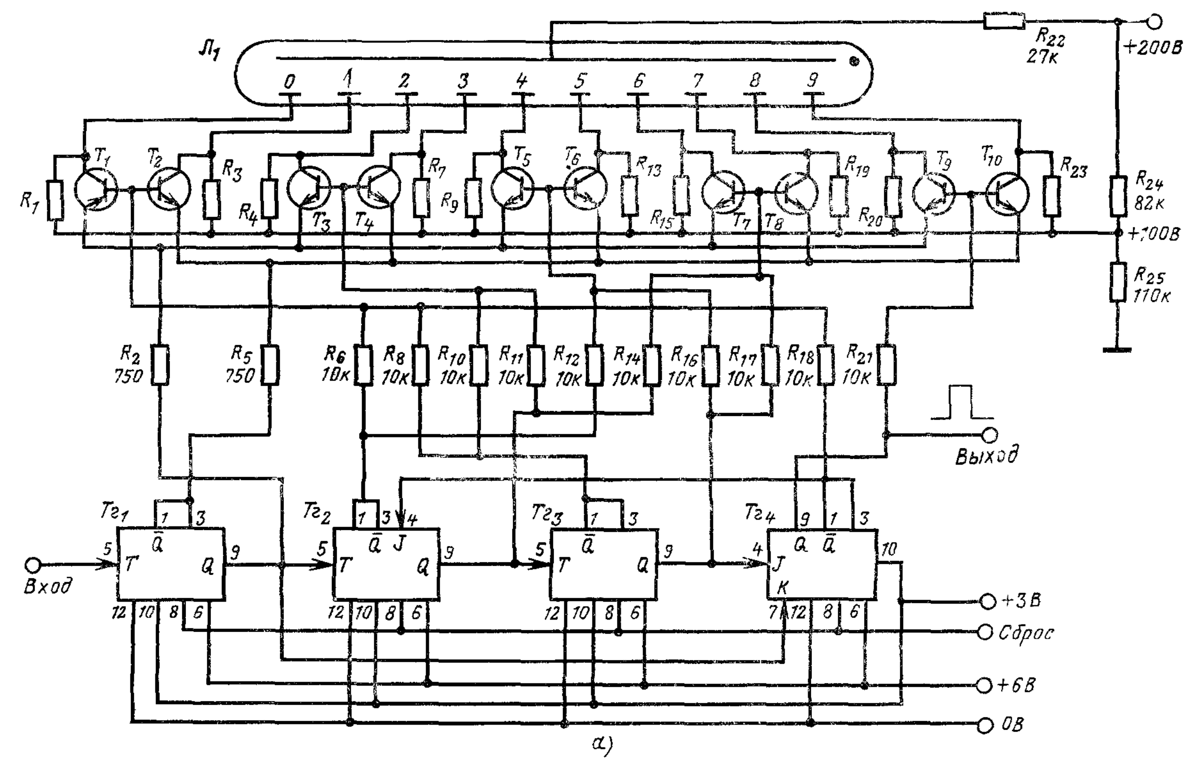


Рис. 18. Декада на универсальных JK-триггерах.
а — принципиальная схема

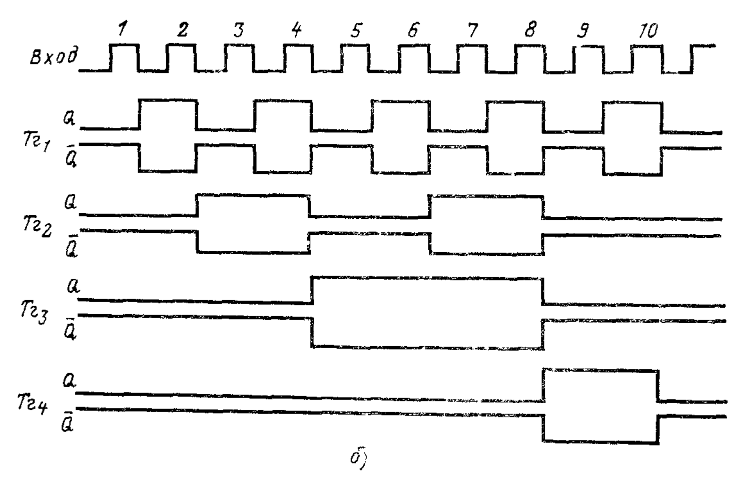


Рис. 18. Декада на универсальных JK-триггерах.
б — эпюры напряжений

Информацию о состоянии триггеров декады сообщает цифровая индикаторная лампа. Связь между счетной частью декады и индикатором осуществляет дешифратор, подобный показанному на рис. 16. В состав дешифратора входит резисторная матрица, преобразующая информацию из двоично-десятичного вида в десятичный, и десять ключевых транзисторов. В качестве ключей использованы высоковольтные транзисторы П308. Ключевые транзисторы включены в катодные цепи индикатора. Управление состоянием ключей производится по эмиттерным и базовым цепям. В целях упрощения схемы коммутации эмиттеры четных и нечетных ключей соединены в соответствующие группы — «чет» и «нечет». Шины «чет» и «нечет» подключены к выходам триггера $Тг_1$ через резисторы R_2 и R_5. Базы транзисторов соединены попарно в следующем порядке T_1—T_2, T_3—T_4, T_5—T_6, T_7—T_8 и T_9—T_{10}; соответственно включены катоды индикатора *0—1*, *2—3*, *4—5*, *6—7* и *8—9*.

Ключ переходит в отпертое состояние в том случае, если на его базу подан высокий потенциал, а эмиттер оказывается соединен с точкой, имеющей низкий потенциал. Изменение потенциала эмиттерных цепей ключевых транзисторов происходит под действием каждого счетного импульса, а потенциала базовых — через два импульса.

В качестве примера рассмотрим состояние дешифратора при индикации цифры 0. Потенциал выхода Q триггера $Тг_1$ равен нулю; потенциал шины «чет» составляет 1,5 В, потенциал выхода $\bar{Q}$ триггера $Тг_1$ и соответственно шины «нечет» равен +3 В. К базам ключей T_1 и T_2 (цифры 0—1) через резисторы R_6, R_8 и R_{18} подводится высокий потенциал (2,7 В) от триггеров $Тг_2$, $Тг_3$ и $Тг_4$. В результате на базах транзисторов T_1 и T_2 устанавливается напряжение +2,1 В. На базе транзистора T_1 напряжение относительно эмиттера равно +0,6 В; у транзистора T_2 соответствующее напряжение составляет

—0,9 В. В результате транзистор T_1 отперт, T_2 — заперт. На промежутке катод 0 — анод индикатора устанавливается напряжение зажигания и высвечивается цифра 0 Остальные четные цифры погашены, так как соответствующие ключи заперты, к их базам приложено напряжение, недостаточное для отпирания транзисторов; на базах «нечетных» ключей устанавливается запирающий потенциал 1,5 В.

Питание счетной части декады осуществляется от источников с напряжениями +3 и +6 В. Питание анодной цепи индикатора ИН-12А осуществляется выпрямленным (пульсирующим) напряжением +200 В.

При исправных элементах и отсутствии ошибок в монтаже декада налаживания не требует. Вначале проверяют работу счетной части декады при отключенном питании индикатора. На вход подают импульсные сигналы положительной полярности амплитудой 1,5—2 В и частотой 10 кГц Форма выходных импульсов триггеров должна соответствовать эпюрам рис. 18,*б*. Затем включают напряжение +200 В и снижают частоту входных сигналов до 1—2 Гц. При такой частоте легче проверить последовательность и правильность высвечивания цифр Декада устойчиво работает от одиночных импульсов и последовательности импульсов частотой до 3 МГц. Блок из двух декад, выполненных по описанной схеме, смонтирован на плате размерами 130×140 мм с двусторонним печатным монтажом.

При использовании в декаде триггеров К2ТК171А предельная частота счета снижается до 1,5 МГц, для декады с триггерами К1ТК331, К1ТК551, К1ТК553 предельная частота составит 10 МГц (в нормальных условиях до 20 МГц), с триггерами К1ТК301, К1ТК311 — 20 МГц (в нормальных условиях до 30 МГц).

Декада с дешифратором на интегральных схемах

По своим техническим данным описываемая пересчетная декада аналогична предыдущей. Отличие состоит в дешифраторе, выполненном на интегральных схемах (рис. 19).

В счетной части декады применены интегральные схемы К2ТК171Б. В схеме декады предусмотрено исходное состояние 1 всех триггеров. С этой целью импульс «сброс», представляющий собой низкий уровень напряжения, подается на входы *2* «Уст 1» триггеров. Для обеспечения коэффициента пересчета $K_{сч}=10$ триггер $Тг_4$ управляется по входам *J* и *K* и с этой целью в схему декады введены дополнительные связи. Отрицательный перепад выходного напряжения триггера $Тг_3$, возникший в результате действия восьмого импульса, поступает на вход *7* триггера $Тг_4$ и переводит его в состояние 0. Низкий уровень с выхода *9* триггера $Тг_4$ подается на вход *7* триггера $Тг_2$ и фиксирует состояние *1* последнего на время действия десятого импульса. Десятый импульс переводит триггер $Тг_1$ в состояние 1; одновременно происходит переключение триггера $Тг_4$ в состояние 1. На выходах *1*, *3* ($\bar{Q}$) триггера $Тг_4$ формируется выходной импульс положительной полярности.

Установлено, что для надежного высвечивания или гашения той или иной цифры достаточен перепад напряжения 30—50 В на промежутке цифровой катод — анод (относительно напряжения горе-

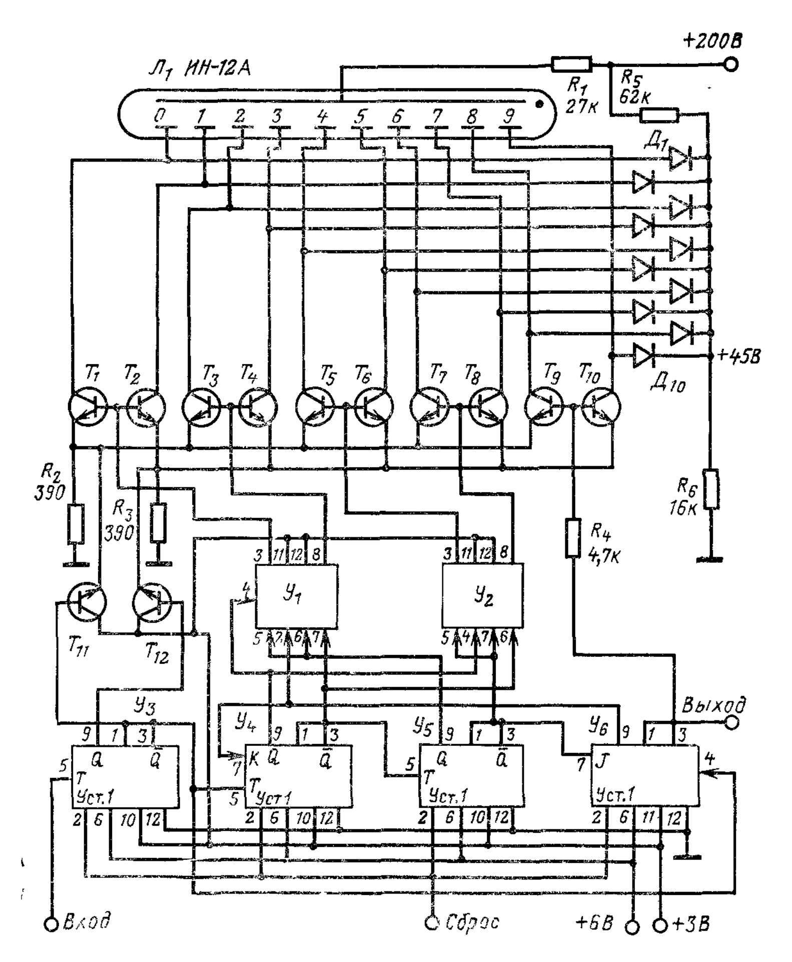


Рис. 19. Декада с дешифратором на интегральных схемах.

ния). Исходя из этого в описываемой схеме в качестве ключей применены транзисторы типа КТ315 с допустимым напряжением $U_{к.э}=60$ В. В связи с тем, что управление ключевыми транзисторами по эмиттерам осуществляет триггер $Тг_1$, в целях развязывания его выходов от ключевых транзисторов применены эмиттерные повторители (транзисторы T_{11} и T_{12}). Эмиттеры транзисторов T_{11} и T_{12} подключены к шинам «чет» и «нечет». На базы этих транзисторов управляющие потенциалы подаются с выходом триггера $Тг_1$. Базы ключевых транзисторов соединены попарно.

В схеме дешифратора применены четыре диодные сборки (две интегральные схемы типа К2ЛП173, см. рис. 14). Сборки выполняют логические функции И для высоких уровней.

В связи с тем, что цифры индикатора *8* и *9* включаются в результате опрокидывания только триггера $Тг_4$, управляющий потенциал с его выхода подается на базы транзисторов $Т_9$—$Т_{10}$ через резистор R_4.

До поступления на вход декады счетных импульсов все триггеры находятся в состоянии 1 и на индикаторе высвечивается цифра 0. К базам ключевых транзисторов $Т_1$ и $Т_2$ подведен высокий потенциал с выхода *3* сборки *1*, выполняющей в этом случае функцию И; к входам сборки *2*, *4* и *5* подведены высокие (запирающие) потенциалы с выходов триггеров $Тг_2$, $Тг_3$ и $Тг_4$.

Развязывающий транзистор $Т_{11}$ заперт низким уровнем, поступающим с выхода $\overline{Q}$ триггера $Тг_1$; транзистор $Т_{12}$ отперт, так как на его вход подается высокий уровень с выхода Q того же триггера.

Ток эмиттера транзистора $Т_{12}$, протекая через общую эмиттерную нагрузку R_3, создает на шине «нечет» потенциал, незначительно отличающийся от потенциала баз транзисторов $Т_1$ и $Т_2$. В результате транзистор $Т_2$ и остальные ключи нечетных цифр оказываются запертыми. Транзистор $Т_1$ отперт, включена цифра 0. Остальные ключевые транзисторы четных цифр заперты низкими потенциалами, поступающими с выходов остальных диодных сборок. К базам ключевых транзисторов $Т_9$ и $Т_{10}$ приложен низкий потенциал с выхода триггера $Тг_4$.

Рассмотрим также условия включения цифры 3 В результате действия третьего счетного импульса транзистор $Т_{11}$ отперт; на выходе *3* сборки $У_1$ потенциал равен 0, так как ее вход *4* соединен с выходом триггера $Тг_2$, имеющим низкий уровень В результате транзисторы $Т_1$ и $Т_2$ заперты. Вход *7* сборки $У_2$ приобретает высокий потенциал при переключении триггера $Тг_2$ от второго импульса, а на входе *6* сохраняется высокий потенциал исходного состояния триггера $Тг_3$. На выходе сборки $У_2$ и на входах транзисторов $Т_3$ и $Т_4$ устанавливается высокий уровень. Транзистор $Т_4$ отперт, так как развязывающий транзистор $Т_{12}$ заперт. На индикаторе высвечивается цифра 3

Используя графики напряжений триггеров (см. рис. 18,*б*), можно проанализировать состояние триггеров и дешифратора при других комбинациях.

В целях предотвращения пробоя ключевых транзисторов напряжение на них ограничено. Опорное напряжение снимается с делителя, который включен в цепь напряжения +200 В, и подводится к катодам высоковольтных диодов типа КЦ401А ($Д_1$—$Д_{10}$). Аноды диодов соединены с коллекторами ключевых транзисторов и катодами цифрового индикатора При запертом ключе напряжение на его коллекторе (и на соответствующем катоде индикатора) не превысит 50 В.

В качестве индикатора используется газоразрядная лампа ИН-12А.

Элементы декады (без индикатора) смонтированы на печатной плате с двусторонним монтажом, имеющей размеры 65×70 мм.

Декада на RS-триггерах

Применение RS-триггеров в счетчиках имеет некоторые особенности, связанные с необходимостью введения дополнительных логических схем для организации пересчета на 10.

На рис. 20,*а* приведена схема RS-триггера типа К2ТК041 Логика работы этого триггера такова: при одновременной подаче высокого потенциала на входы $\bar{R}$ и $\bar{S}$ импульсы на входе T не влияют на состояние триггера. Если на входе $\bar{R}$ высокий потенциал, а на входе $\bar{S}$ — низкий, то по отрицательному фронту импульса на входе T запирается транзистор T_2, а транзистор T_5 отпирается, что соответствует единичному состоянию триггера (на выходе Q высокий потен-

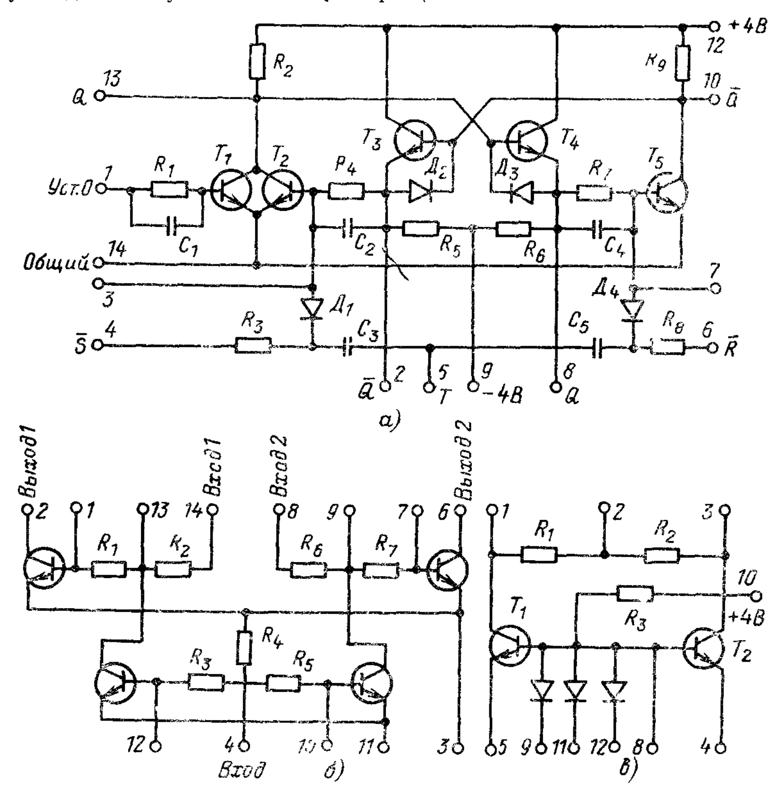


Рис. 20. Элементы декады на RS-триггерах.

а — триггер К2ТК041; *б* — логическая схема К2ЛИ041; *в* — высоковольтный ключ К6К51.

циал). При низком потенциале на входе $\bar{R}$ и высоком на входе $\bar{S}$ по срезу импульса на входе T триггер устанавливается в нулевое состояние. Одновременная подача нулевого уровня на входы $\bar{R}$ и $\bar{S}$ недопустима.

Для получения счетного режима необходимо подключить входы $\bar{S}$ и $\bar{R}$ к выходам Q и $\bar{Q}$ соответственно Триггер имеет два выхода Q (выводы *13* и *8*) и $\bar{Q}$ (выводы *10* и *2*) Выводы *10* и *13* используются в том случае, когда ток нагрузки течет в триггер, выводы *2* и *8* — в противоположном случае.

Схема счетчика на RS-триггерах приведена на рис 21, временная диаграмма его работы — на рис. 22. Триггеры $Тг_1$ ($У_7$ на рис. 23) и $Тг_3$ ($У_9$) работают в счетном режиме. Для организации запрета переключения триггера $Тг_2$ ($У_8$) под действием десятого импульса на вход $\bar{R}$ триггера $Тг_2$ подается запрещающий потенциал с логической схемы, осуществляющей функцию ИЛИ для сигнала, поступающего с выхода $\bar{Q}$ триггера $Тг_2$, и для инверсии сигнала с выхода $\bar{Q}$ триггера $Тг_4$. Триггер $Тг_4$ ($У_{10}$) работает в режиме сдвигающего регистра, повторяющего состояния триггера $Тг_3$ с задержкой на два входных импульса

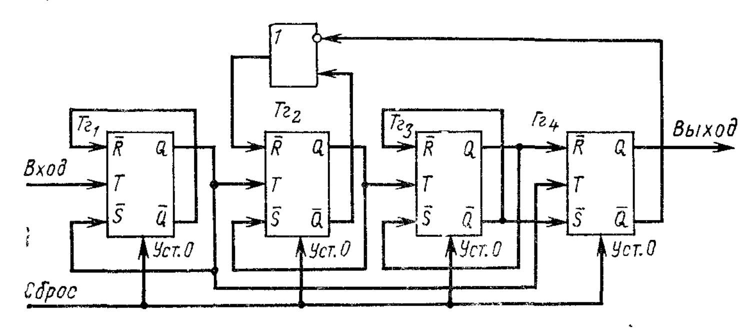


Рис. 21. Схема декады на RS-триггерах.

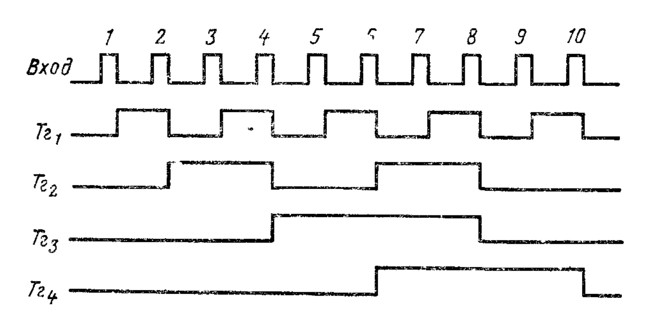


Рис. 22. Эпюры напряжений декады.

При поступлении на вход счетчика импульсов с 1 по 9 первые три триггера работают, как в обычном двоичном счетчике Триггер $Тг_4$ при поступлении шестого импульса переключается в единичное состояние При поступлении десятого импульса триггер $Тг_2$ сохраняет свое нулевое состояние, так как на его входах $\bar{R}$ и $\bar{S}$ присутствуют высокие запрещающие потенциалы, триггер $Тг_4$ по десятому импульсу восстанавливает нулевое состояние. Необходимо отметить, что код этого счетчика не является весовым.

Полная схема декады приведена на рис 23 В качестве логической схемы ИЛИ ($У_6$) использована микросхема К2ЛИ041 (рис 20,*б*), для дешифрации и коммутации катодов газоразрядной лампы — микромодули ($У_1$—$У_5$) типа К6К51 (рис 20,*в*).

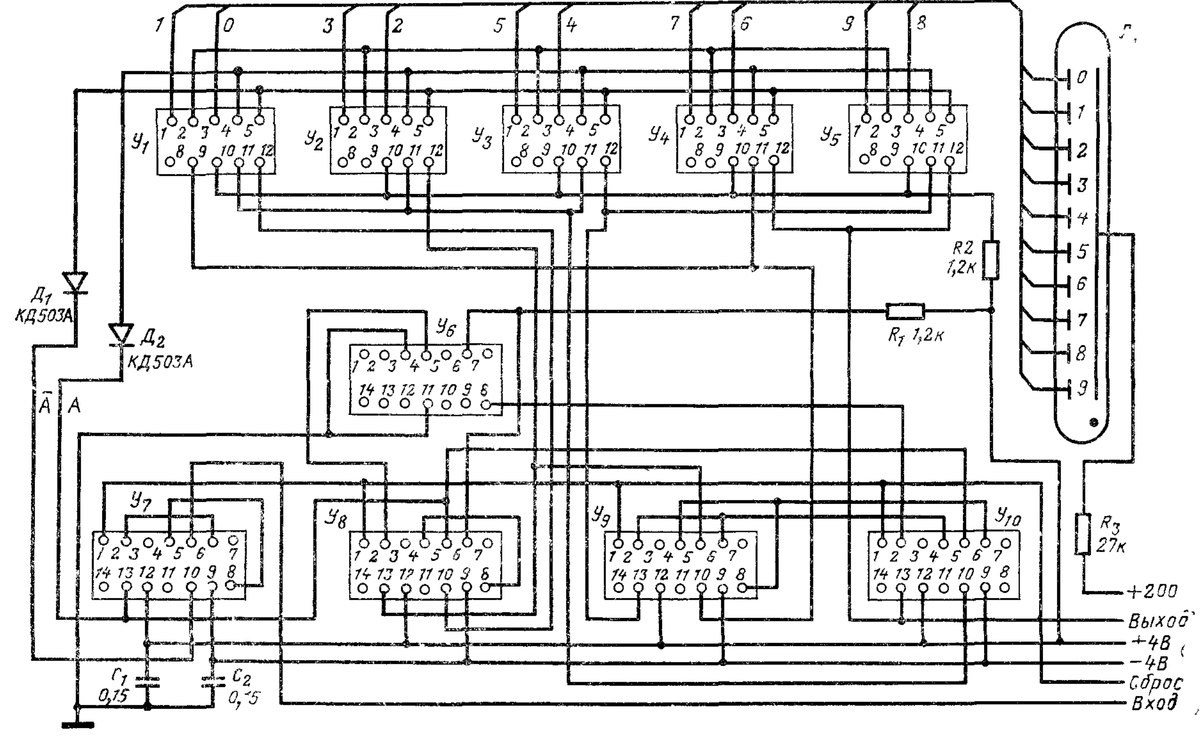


Рис. 23. Принципиальная схема декады на RS-триггерах.

Схему микромодуля составляют два высоковольтных транзистора и диодная матрица. Управление высоковольтными транзисторами по эмиттерам осуществляется перепадами выходного напряжения триггера $Тг_1$ через диоды $Д_1$ и $Д_2$; диод $Д_1$ коммутирует ключи нечетных цифр, $Д_2$ — четных. На базы высоковольтных ключей управляющие потенциалы подаются с выходов триггеров $Тг_2$, $Тг_3$ и $Тг_4$.

Выводы *2* всех высоковольтных ключей соединены между собой общей шиной. При этом резисторы R_1 и R_2, входящие в схему ключа, ограничивают максимальное коллекторное напряжение запертых транзисторов на уровне 70 В. Напряжение смещения (от источника

Таблица 7

Состояния счетчика на RS-триггерах

Входные импульсы	Состояния триггеров			
	$Тг_1$	$Тг_2$	$Тг_3$	$Тг_4$
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	1	1	0
5	1	1	1	0
6	0	1	1	1
7	1	1	1	1
8	0	0	1	1
9	1	0	1	1
10	0	0	0	0

+4 В) подводится к базам транзисторов T_1 и T_2 через резистор R_3 (вывод *10*). Благодаря этому на базах установится высокий потенциал в том случае, когда на все входы ключа будут поданы запирающие напряжения. В остальных случаях (когда на одном или нескольких входах устанавливается низкий потенциал) ключевые транзисторы будут заперты по базам.

Работа этого дешифратора практически не отличается от работы дешифратора, схема которого приведена на рис. 15. Для примера рассмотрим процесс индикации цифры 5. Код этой цифры 0101. В данном случае триггеры $Тг_1$ и $Тг_3$ находятся в состоянии 1, а $Тг_2$ и $Тг_4$ — в состоянии 0. Потенциалы на выходах триггеров (выводах соответствующих микросхем) распределяются следующим образом. Триггер $Тг_1$: вывод *13* — высокий потенциал, вывод *10* — низкий; триггер $Тг_2$: вывод *13* — низкий потенциал, вывод *10* — высокий; триггер $Тг_3$: вывод *13* — высокий потенциал, вывод *10* — низкий; триггер $Тг_4$: вывод *13* — низкий потенциал, вывод *10* — высокий. Выводы *1*, *3* высоковольтных ключей подключены к катодам индикаторной лампы. На входах *11* и *12* микромодуля $У_3$ высокий потенциал, на входе *5* — низкий, включен транзистор T_1. Это вызывает свечение катода 5-й лампы, подключенного к коллектору T_1 микромодуля $У_3$. Остальные транзисторы заперты и другие катоды не светятся.

Входные запускающие импульсы имеют положительную полярность, амплитуду 2,5 В; выходные импульсы — амплитуду 3,5 В. Максимальная частота входных импульсов 300 кГц.

В исходное (нулевое) состояние триггеры декады устанавливаются импульсом «Сброс». Импульс имеет положительную полярность, амплитуду 3 В, длительность 10 мкс.

Декада по схеме рис. 21 интересна еще и тем, что она может быть собрана на синхронных JK-триггерах, имеющих по одному входу J и K (такие триггеры нельзя было использовать ни в одной из ранее рассмотренных схем). В этом случае, естественно, в триггерах не нужны внешние обратные связи, отпадает также необходимость в логической схеме. Выход $\bar{Q}$ триггера $Тг_4$ подключается к входу J триггера $Тг_2$, выходы Q и $\bar{Q}$ триггера $Тг_3$ — к входам J и K триггера $Тг_4$.

Кольцевые счетчики

Кольцевые счетчики, основная структура которых представлена на рис. 11, характеризуются максимальным быстродействием (ограниченным лишь быстродействием первого триггера), простотой дешифрации состояний и универсальностью по возможным типам применяемых триггеров — в них могут быть применены JK, RS и D-триггеры.

На рис 24 показана принципиальная схема кольцевого счетчика на RS-триггерах типа К1ТК941, имеющих максимальную частоту счета 3 МГц. Триггеры соединены в сдвигающий регистр, вход которого подключен к выходу перекрестной связью.

Временная диаграмма счетчика приведена на рис. 25, последовательность состояний — в табл. 5. В исходном состоянии на всех выходах Q триггеров низкий потенциал, на входе S триггера $Тг_1$ — высокий. При подаче первого счетного импульса триггер $Тг_1$ переключается в единичное состояние. Второй и следующие импульсы переключают триггер $Тг_2$ и все последующие Шестой импульс восстанавливает нулевое состояние триггера $Тг_1$, десятый — $Тг_5$, цикл работы декады заканчивается.

Схему управления индикаторной лампой составляют высоковольтные транзисторы, работающие в ключевом режиме. Управление ключевыми транзисторами осуществляется перепадами выходных напряжений триггеров. Управляющие потенциалы снимаются с инверсного выхода триггера $Тг_1$ и прямых выходов всех триггеров. Через резисторы дешифратора эти потенциалы подаются на базы ключевых транзисторов и непосредственно — на их эмиттеры. Для отпирания транзистора необходимо присутствие высокого потенциала (логической 1) на его базе и нулевого потенциала на эмиттере. В качестве ключевых использованы транзисторы типа КТ605. Для обеспечения надежного запирания ключевых транзисторов к их базовым цепям через резисторы с сопротивлением 18 кОм подведено напряжение смещения — 1,5 В. Зависимости напряжений база — эмиттер ключевых транзисторов от времени показаны на рис. 25.

Напряжение питания счетчика +5 В±5%; напряжение смещения ключевых транзисторов — 1,5 В; напряжение питания индикаторной лампы +200 В±10%. Амплитуда входных импульсов положительной полирности не более 4 В, длительность 150 нс. Амплитуда выходного импульса декады не менее 2,5 В положительной полярности. Максимальное быстродействие декады 3 МГц.

Основным недостатком счетчиков с параллельным соединением разрядов является значительная энергия входного импульса, необхо-

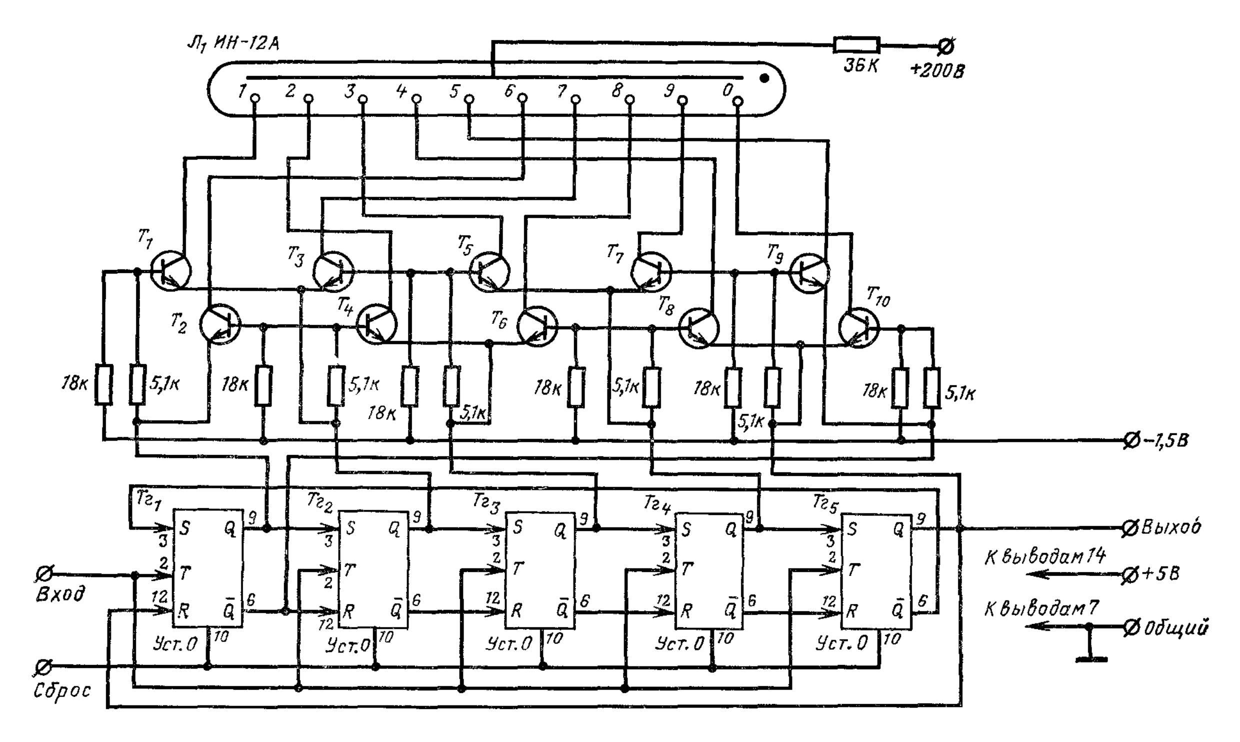


Рис. 24. Принципиальная схема кольцевого счетчика.

димая для срабатывания элементов схемы Однако требования к запускающему сигналу могут быть снижены, если схему декады будут составлять один двоичный счетчик и трехкаскадный пятеричный; последний может быть получен из трехкаскадного кольцевого счетчика путем исключения одного из шести его состояний (рис 26). В данной схеме исключено состояние 100 за счет подключения входа K триггера $Tг_4$ к выходу $\bar{Q}$ триггера $Tг_2$.

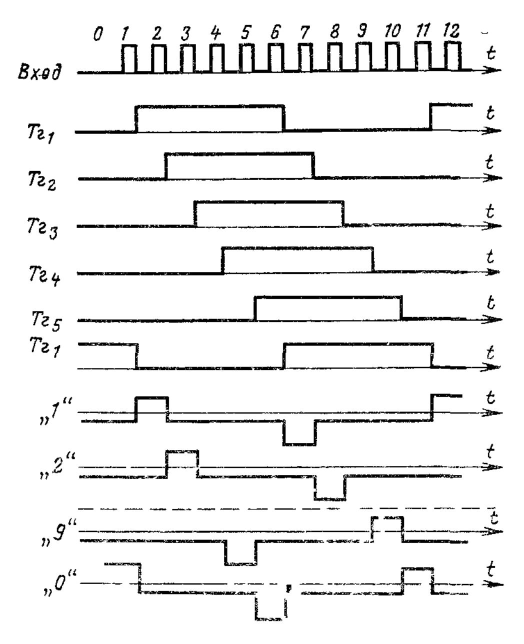


Рис. 25. Эпюры напряжений кольцевого счетчика.

Триггер $Tг_1$ работает в счетном режиме. Последовательность состояний разрядов счетчика приведена в табл 6 Использование двуханодной лампы ИН-4 в качестве индикатора позволило упростить схему управления. Триггер $Tг_1$, выполняющий роль селектора четности, управляет включением анодов индикатора при помощи двух ключевых транзисторов T_1 и T_2. Остальные ключевые транзисторы (T_3—T_7) подключены к выходам триггеров $Tг_2$, $Tг_3$ и $Tг_4$ через резисторы дешифратора и производят включение соответствующего знака из групп четных и нечетных цифровых катодов.

В схеме управления использованы транзисторы следующих типов: транзисторы T_1 и T_2 — КТ605Б, T_3—T_7 — КТ315.

В описываемой декаде могут быть применены в отличие от предыдущей лишь JK-триггеры, так как в процессе работы декады в момент подачи десятого импульса на входы J и K триггера $Tг_4$ одновременно подан положительный потенциал, что недопустимо для RS-триггеров. Триггеры декады могут быть как синхронными, так и универсальными, что также является ее важным преимуществом по

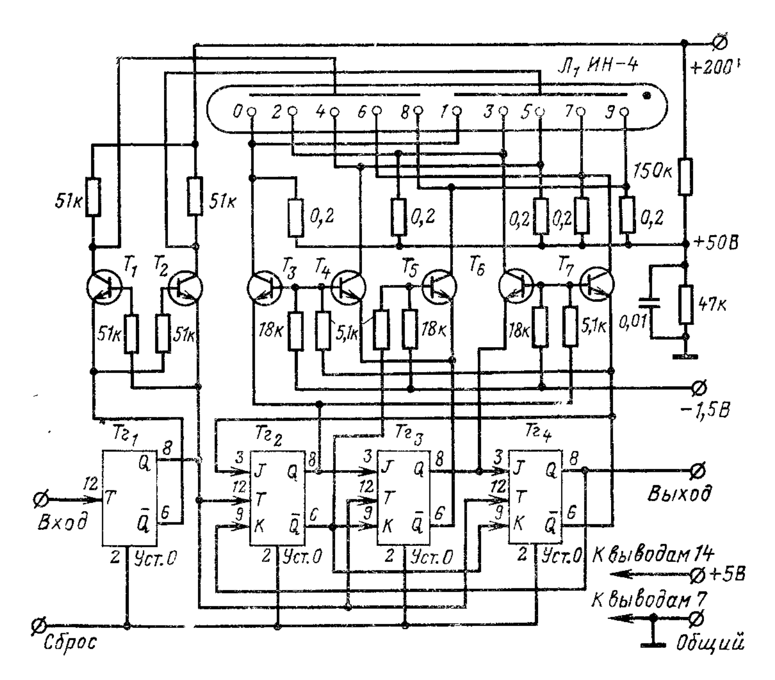


Рис. 26. Схема двоично-пятеричного кольцевого счетчика.

сравнению с декадами, схемы которых показаны на рис. 18 и 19 Нумерация выводов триггеров на рис. 26 показана для случая использования JK-триггеров серий К130, К131, К133, К155, являющихся универсальными, и для синхронных триггеров серии К136 и К158.

Следует отметить, что RS-триггеры К1ТК941 легко превращаются в синхронные JK-триггеры подключением дополнительных R и S входов к выходам Q и $\bar{Q}$ (соответственно вывод *11* к выводу *9* и вывод *4* — к выводу *6*). Вывод *3* в этом случае является входом J, вывод *12* — входом K.

В декадах, работающих при температурах не выше +60°С, источник —1,5 В может быть исключен, а нижние выводы резисторов сопротивлением 18 кОм подключены к корпусу.

Транзисторная декада 250 кГц

Транзисторные декады на германиевых сплавных транзисторах получили широкое распространение в различных устройствах, где не требуется высокого быстродействия.

Рассмотрим типичную структуру декады с быстродействием 250 кГц (рис 27). Она подобна приведенной ранее на рис. 10,*б*, сле-

дует только иметь в виду, что J и K входы в описываемых здесь декадах на транзисторах приняты условно.

Триггеры $Tг_1$, $Tг_2$ и $Tг_3$ управляются по счетным входам, $Tг_4$ — раздельно по обоим входам J и K. Запуск триггера $Tг_2$ происходит через схему И, которая открыта в том случае, если открыт транзистор, с которого снимается управляющий потенциал. Включение схемы И производит триггер $Tг_4$. Полная схема декады приведена на рис. 28.

Декада работает в коде 1-2-4-8

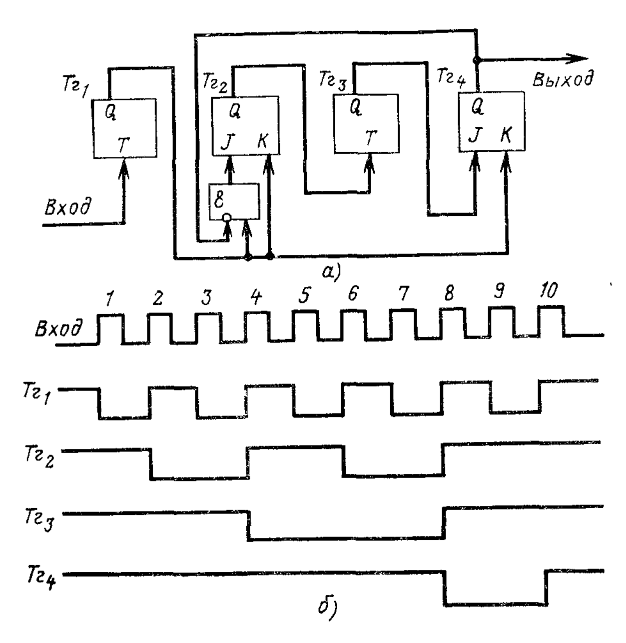


Рис. 27. Декада 250 кГц.
а — структурная схема; *б* — эпюры напряжений.

Выход Q триггера $Tг_1$ соединен со счетным входом триггера $Tг_2$ и одним из входов триггера $Tг_4$. Выход Q триггера $Tг_2$ соединен со счетным входом триггера $Tг_3$, а выход Q триггера $Tг_3$ — со вторым входом триггера $Tг_4$. С выхода Q последнего снимается выходной сигнал, а также напряжение обратной связи. При таком соединении триггеров работа декады будет происходить следующим образом.

В исходное, нулевое состояние все триггеры устанавливаются импульсом «Сброс». При счете триггер $Tг_1$ будет переключаться под действием каждого импульса, подведенного ко входу декады. Работу остальных триггеров декады удобно рассматривать с помощью эпюр напряжений на выходах триггеров (рис. 27,*б*) Первый входной импульс установит декаду в состояние 0001. Второй импульс возвратит триггер $Tг_1$ в исходное состояние. При этом напряжение на выходе Q триггера $Tг_1$ повысится до нуля; положительный перепад,

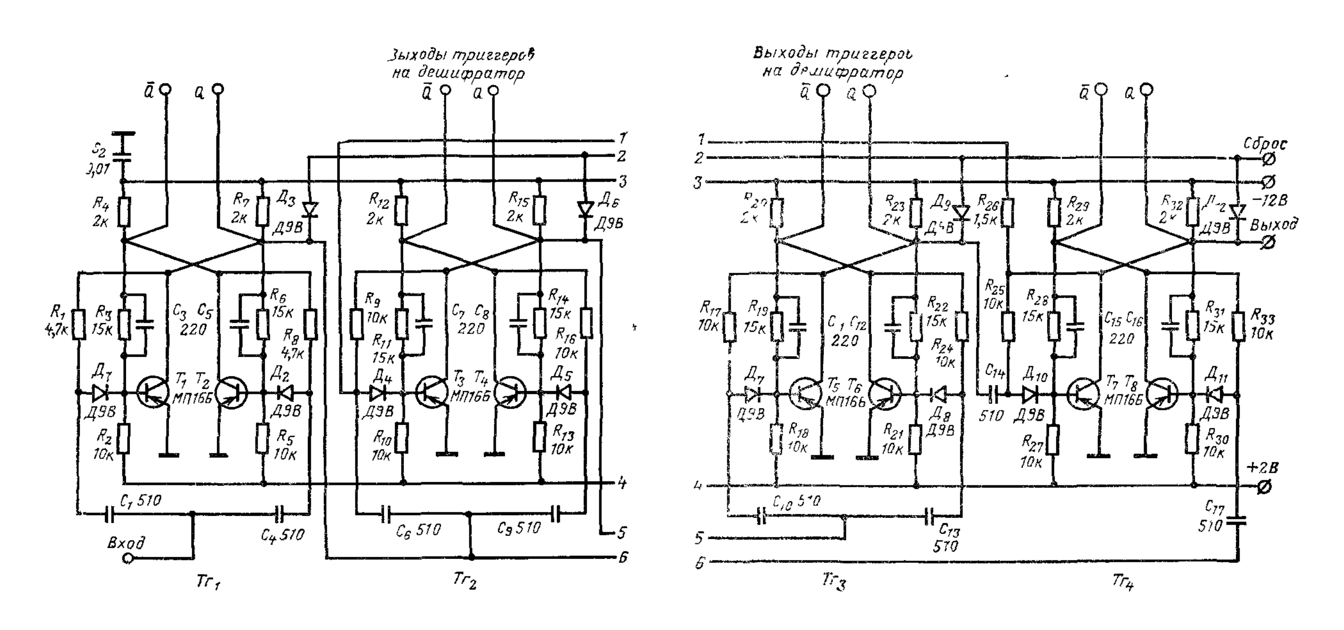


Рис. 28. Принципиальная схема декады 250 кГц.

поступающий на вход триггера $Tг_2$, переключит его в единичное состояние С приходом второго импульса состояние декады будет 0010

Третий импульс установит состояние декады 0011. Четвертый импульс возвратит в исходное состояние триггер $Tг_1$. Положительный перепад напряжения на его выходе вернет в исходное состояние триггер $Tг_2$, а он в свою очередь перепадом выходного напряжения переключит в единичное состояние триггер $Tг_3$. В результате в декаде зафиксируется двоичное число 0100

Результат действия пятого импульса будет отмечен в декаде как 0101

Шестой импульс переведет в нулевое состояние триггер $Tг_1$; триггер $Tг_2$ перейдет при этом в единичное состояние В декаде будет зафиксировано число 0110

Седьмой импульс установит состояние декады 0111 Восьмой импульс переключит триггеры $Tг_1$, $Tг_2$ и $Tг_3$ в нулевое состояние, триггер $Tг_4$ — в единичное Отрицательный потенциал с коллектора транзистора T_7 через резистор обратной связи R_{26} запрет диод $Д_4$ (схему И). Этим исключается переключение триггера $Tг_2$ в единичное состояние перепадом напряжения триггера $Tг_1$. Состояние декады будет 1000

Девятый импульс переключит триггер $Tг_1$, и декада перейдет в состояние 1001.

Десятый импульс возвратит триггер $Tг_1$ в нулевое состояние. При этом положительный перепад с его выхода, не изменяя состояния триггера $Tг_2$, возвратит в нулевое состояние триггер $Tг_4$. В результате все триггеры окажутся в исходном состоянии, а на выходе триггера $Tг_4$ появится импульс для запуска следующей декады.

При переходе триггера $Tг_4$ в нулевое состояние произойдет понижение отрицательного коллекторного напряжения транзистора T_7; в результате по цепи обратной связи снимется запрет с триггера $Tг_2$ Декада подготовлена к продолжению работы

Для повышения быстродействия декады постоянная времени дифференцирующих цепей триггера $Tг_1$ имеет меньшее значение по сравнению с соответствующими цепями остальных триггеров в декаде.

В связи с тем, что по цепи обратной связи между триггерами происходит передача потенциала, управляющего состоянием триггера $Tг_2$ (для осуществления пересчета на 10), такой вид связи называется *потенциальной*. Применение потенциальной обратной связи повышает надежность работы и быстродействие декады

На рис 29 приведены осциллограммы процессов в триггерах декады при работе на частоте 10 кГц. Сброс на нуль производится подачей импульса положительной полярности амплитудой 10 В и длительностью 100 мкс на прямые выходы триггеров С целью развязывания триггеров в цепь сброса включены четыре диода, которые своими анодами соединены с общей шиной «сброс»

Запуск декады осуществляется импульсами положительной полярности амплитудой 4—5 В и длительностью фронта 0,05 мкс; выходные импульсы имеют амплитуду 9,5 В и длительность фронта не более 0,05 мкс.

Питание декады осуществляется от стабилизированных источников $E_к = -12$ В (30 мА) и $E_1 = +2$ В (1,3 мА)

Схема декады некритична к разбросу сопротивлений резисторов, емкостей конденсаторов и изменениям питающих напряжений Так, например, декада сохраняет работоспособность при изменениях напряжения источника E_1 от $+0,5$ до $+4$ В

Декада смонтирована на печатной плате с односторонним монтажом. Материал платы — фольгированный стеклотекстолит марки СФ-1 толщиной 1,5 мм, размеры платы 125×135 мм.

Одновременно с пересчетным устройством на плате смонтирован дешифратор, собранный по схеме рис. 12. Транзисторы в триггерах имеют $B_{ст}$ от 60 до 80, резисторы типа МЛТ-0,125 (0,25), конденсаторы КЛС-Е или КМ.

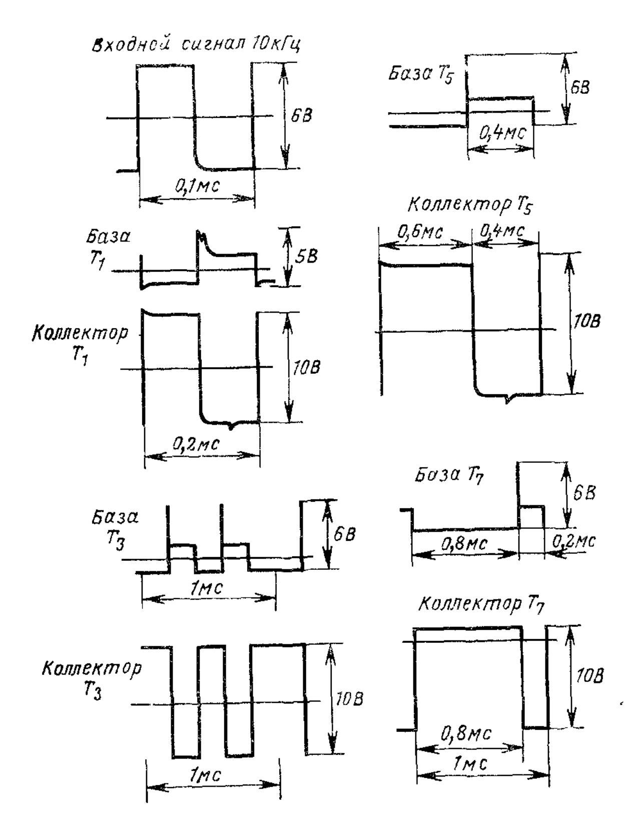


Рис. 29. Осциллограммы процессов в триггерах декады при работе на частоте 10 кГц.

Для предохранения транзисторов от перегрева при пайке желательно иметь длину их выводов 8—10 мм. С этой целью монтаж транзисторов производится на втулках из изоляционного материала высотой 7—8 мм с наружным диаметром 10 и внутренним 6—7 мм.

Для соединения декады с остальной схемой прибора одна из сторон платы используется как вилка разъема. На этой стороне сосредоточены все выводы схемы декады.

После проверки монтажа необходимо проверить работоспособность декады. Для этого подключают питание +2 и —12 В Вначале подают импульс положительной полярности в цепь сброса и тем самым переводят триггеры в исходное состояние. Затем от генератора импульсов подают на вход декады сигналы с частотой 1, 10, 100 кГц и контролируют работу триггеров по осциллографу, сравнивая полученные осциллограммы с приведенными на рис. 29. Чтобы избежать ошибки, необходимо проверять длительность импульсов (особенно выходных) с помощью калибровочной сетки осциллографа. При исправных элементах и отсутствии ошибок в монтаже декада будет работать без налаживания.

Если декада не делит на 10, необходимо подобрать сопротивление резистора R_{26} в цепи обратной связи. В большинстве случаев сопротивление 1,5 кОм является оптимальным; иногда приходится уменьшать сопротивление до 1 кОм.

Затем подают напряжения +100 и —80 В для питания индикатора. При подаче на вход декады последовательности импульсов частотой 1 Гц на индикаторе должны поочередно высвечиваться цифры от 0 до 9. Это будет свидетельствовать о нормальной работе пересчетной части и дешифратора.

В рассматриваемой декаде могут использоваться и другие типы дешифраторов, например, собранные по схемам рис. 16.

Транзисторная декада 10 МГц

Декада, схема которой представлена на рис. 30, позволяет вести счет импульсов с частотой до 10 МГц В декаде применены триггеры с управляемым счетным запуском на базы. Для обеспечения быстродействия в декаде использованы высокочастотные транзисторы и диоды, введена диодная фиксация коллекторного напряжения запертых транзисторов (на уровне 6 В), резисторы дифференцирующих цепей шунтированы диодами, в схему декады введены два ключа — промежуточный и управляющий.

Для улучшения стабильности работы при изменении температурных условий в декаде применены кремниевые транзисторы структуры *n-p-n*.

Запуск декады производится импульсами отрицательной полярности амплитудой около 6 В. Сброс на нуль осуществляется импульсом положительной полярности амплитудой 12 В и длительностью 50 мкс.

По цепи «сброс» триггеры развязаны резисторами сопротивлением 15 кОм. Быстродействие триггера $Тг_1$ повышено за счет уменьшения сопротивлений коллекторных нагрузок (R_3 и R_8).

Так как применение диодной фиксации снижает амплитуду выходного сигнала, для обеспечения уверенного запуска триггеров $Тг_2$ и $Тг_4$ и разгрузки триггера $Тг_1$ к выходу $\bar{Q}$ последнего подключен промежуточный ключ на транзисторе T_3. В отсутствие сигнала ключ заперт. Для повышения быстродействия в схеме ключа также применена диодная фиксация. Ключ является инвертором выходного сигнала триггера $Тг_1$. На выходе ключа формируются импульсы отрицательной полярности. При поступлении на вход триггера $Тг_1$ второго счетного импульса транзистор T_2 запирается и на его выходе

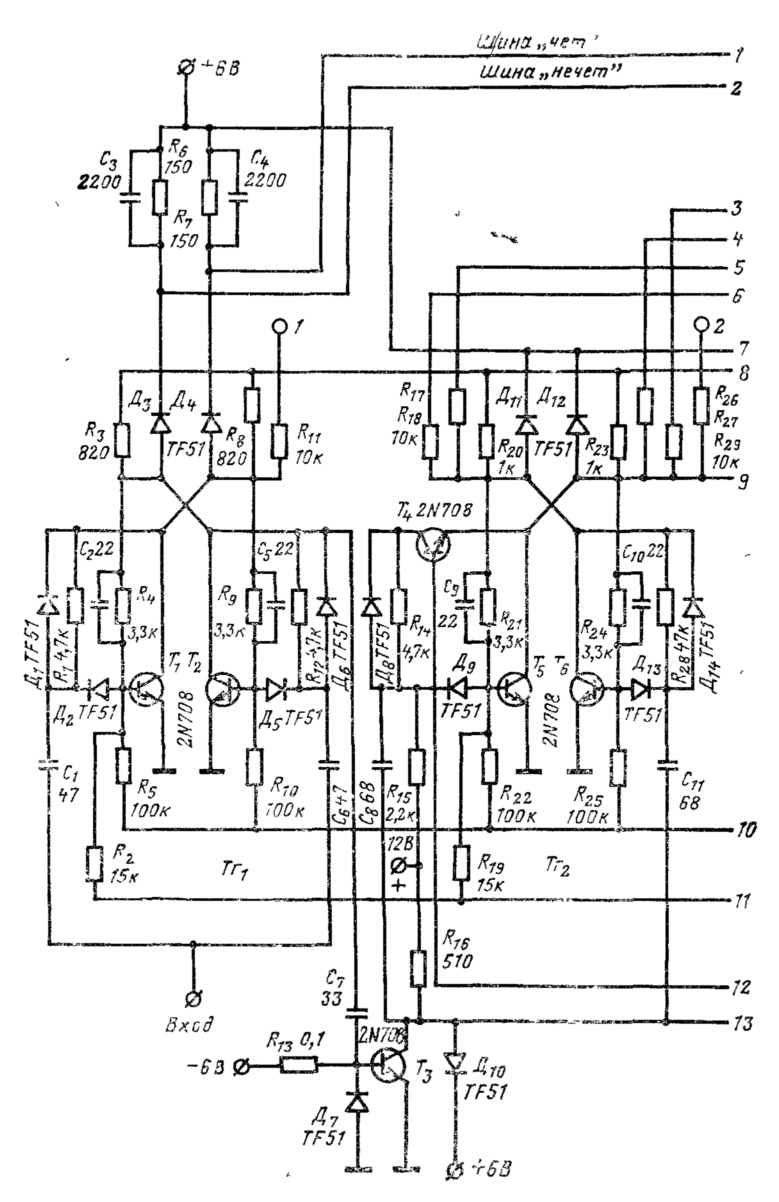


Рис. 30. Принципиальная

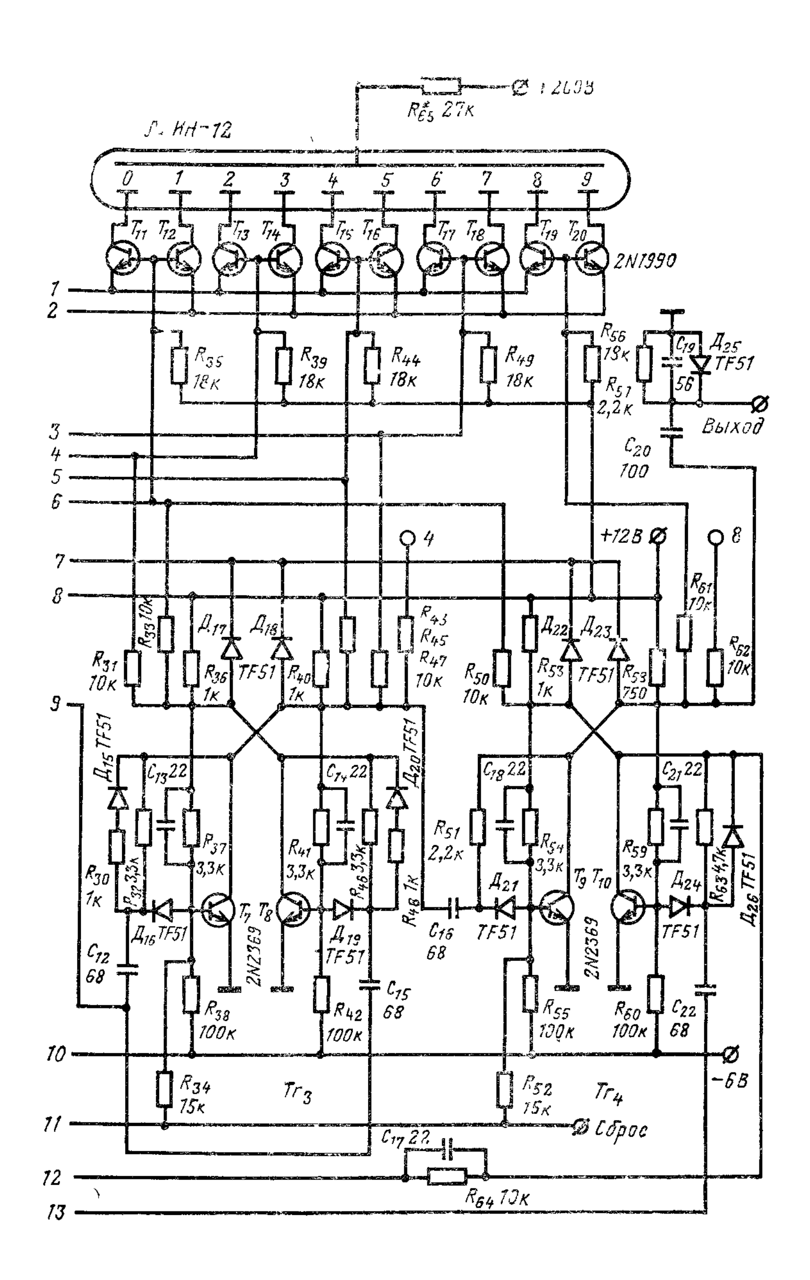


схема декады 10 МГц.

появляется положительный перепад напряжения, который через конденсатор C_7 подводится к базе транзистора T_3. Последний отпирается и отрицательный перепад напряжения с его выхода подается на счетный вход триггера $Tг_2$ и один из раздельных входов $Tг_4$.

Декадный пересчет осуществляется аналогично ранее рассмотренным декадам. Восьмым импульсом триггер $Tг_2$ переводится в нулевое состояние. Для отключения триггера $Tг_2$ на время действия десятого импульса между коллектором транзистора T_5 и резистором дифференцирующей цепи R_{14} включен управляющий ключ на транзисторе T_4. Последний входит в цепь потенциальной обратной связи; резистор R_{15} является его коллекторной нагрузкой. До прихода восьмого импульса транзистор T_4 находится в отпертом состоянии и не влияет на работу триггера $Tг_2$. К базе транзистора T_4 через цепь $R_{64}C_{17}$ подводится положительный потенциал с выхода $\overline{Q}$ триггера $Tг_4$ (T_{10}). Эта цепь служит для развязывания триггеров $Tг_4$ и $Tг_2$.

Восьмой импульс, переключая триггер $Tг_4$, отпирает транзистор T_{10}; в результате снижения потенциала на коллекторе последнего транзистор T_4 запирается На нагрузке R_{15} устанавливается напряжение +12 В, которое, будучи приложенным к катоду диода $Д_9$, запирает его и исключает этим запуск триггера $Tг_2$ десятым импульсом. Десятый импульс, минуя триггер $Tг_2$, вновь переключает триггер $Tг_4$; при этом запирается транзистор T_{10}. Высокий потенциал на его коллекторе отпирает транзистор T_4, снимая запрет с диода $Д_9$; в результате триггер $Tг_2$ подготовлен к продолжению работы. Для получения выходного импульса отрицательной полярности служит дифференцирующая ячейка $R_{57}C_{20}$. Диод $Д_{25}$ срезает положительную часть импульса, возникающую при дифференцировании выходного сигнала (полярность включения диода следует изменить). Ячейка подключена к выходу Q триггера $Tг_4$. В целях повышения нагрузочной способности транзистора T_9 коллекторная нагрузка (R_{58}) уменьшена до 750 Ом. Для питания декады используются стабилизированные источники напряжений +12, +6 и —6 В.

Дешифратор декады представляет собой резисторную матрицу, при помощи которой происходит управление ключами на транзисторах структуры *n-p-n* (T_{11}—T_{20}) типа 2N1990. Работа дешифратора описана в гл. 1.

Для уменьшения нагрузки на триггер $Tг_1$ шины «чет» и «нечет» подключены к цепям фиксации коллекторного напряжения. Для питания индикатора используется напряжение +200 В. Резистор R_{65} ограничивает ток индикатора в пределах 1,5—2 мА. Передача выходных сигналов триггеров на регистрирующее устройство (для записи результатов измерений) производится через резисторы R_{11}, R_{29}, R_{47} и R_{62}. В декаде могут использоваться транзисторы КТ306 и КТ316, диоды КД503А, в качестве T_{11}—T_{20} — транзисторы П307—П309, КТ605.

Транзисторная декада 25 МГц

На рис 31 представлена структурная схема пересчетной декады с высоким быстродействием. Схему декады составляют следующие узлы: входной усилитель, четыре триггерные ячейки, промежуточный усилитель, логическая схема И и усилитель сигнала «сброс».

Технические данные декады следующие:

максимальная скорость счета 25 МГц;

входной сигнал — импульсы положительной полярности с амплитудой 4—10 В, имеющие длительность фронта не более 10 нс и длительность не более 20 нс; при частоте следования 2 МГц декада может запускаться импульсами со следующими параметрами: амплитуда около 6 В, длительность фронта не более 50 нс, длительность импульса не более 150 нс;

выходной сигнал — импульсы положительной полярности с амтудой не менее 6 В, длительность фронта не более 50 нс;

сброс декады в нулевое состояние осуществляется перепадами напряжений от —8 В (—12 В) до —0,5 В÷0 В. Время действия перепада должно быть не менее 1 мкс;

код декады 1-2-4-8.

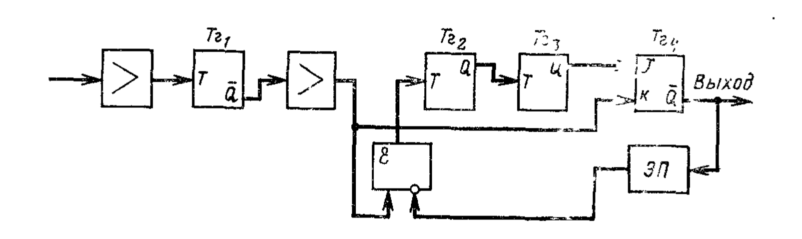
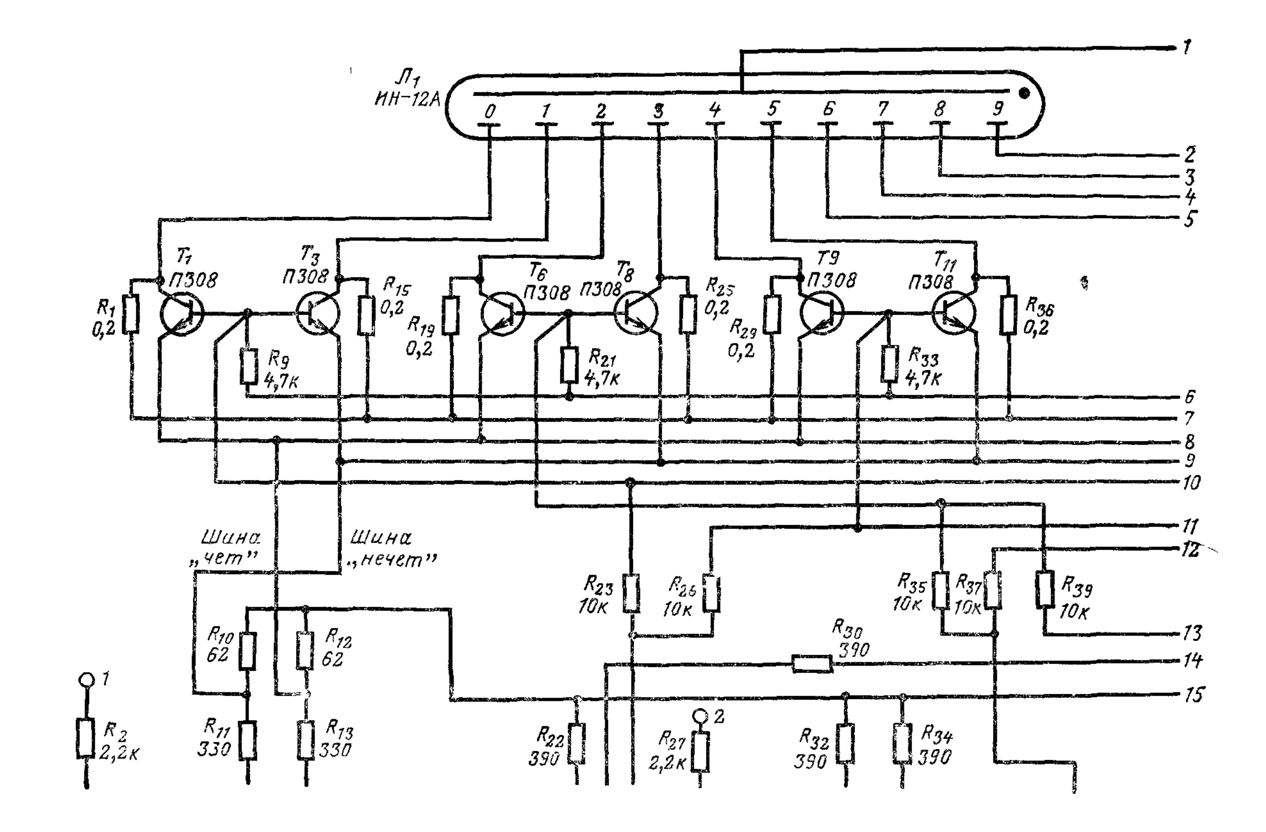


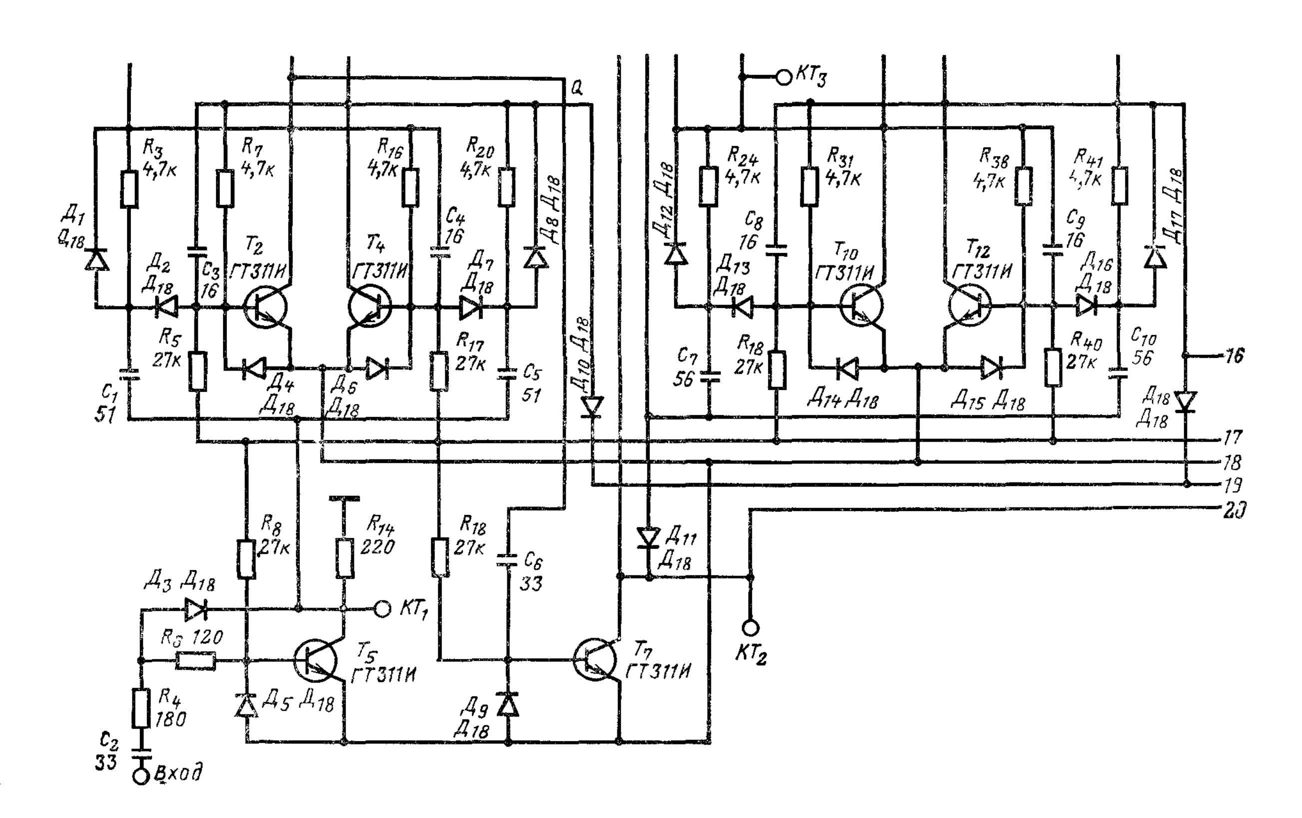
Рис. 31. Схема декады 25 МГц.

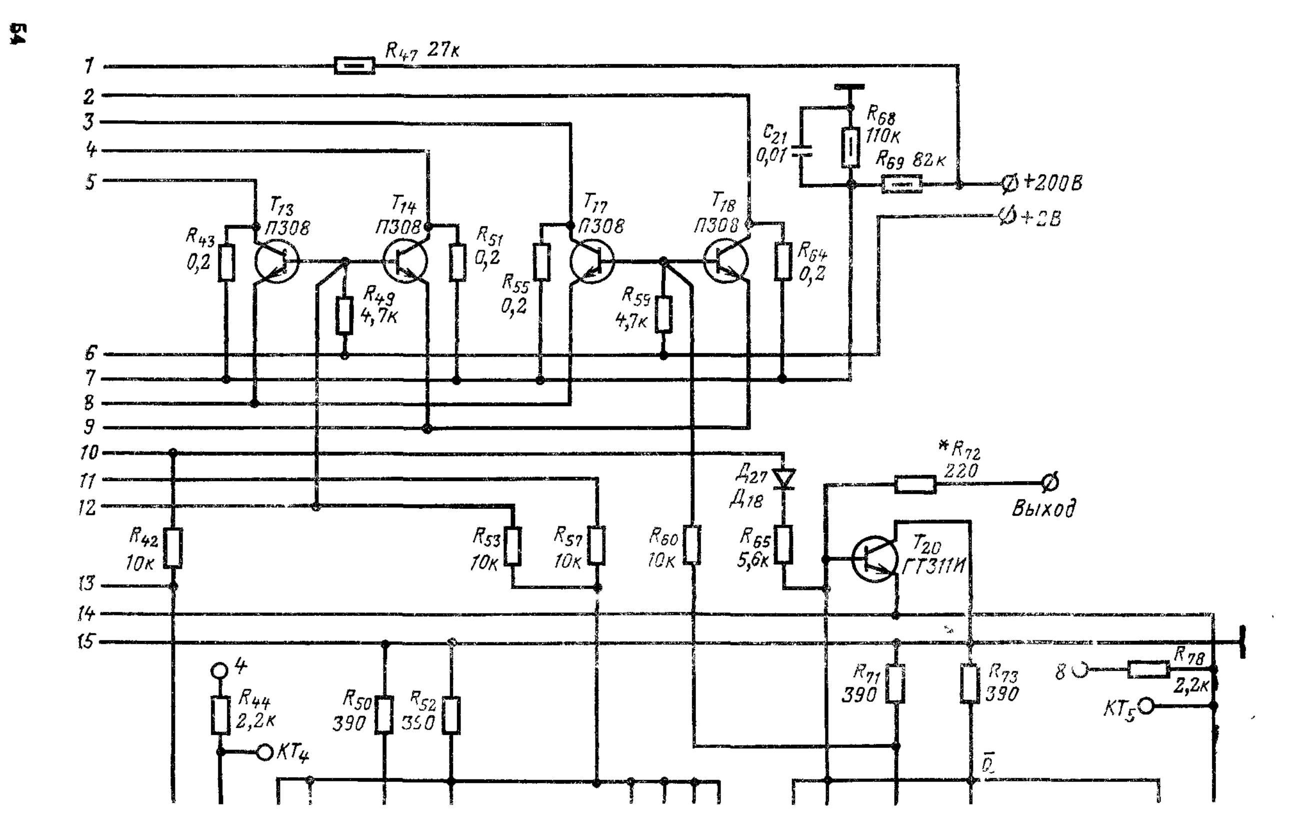
Принципиальная схема декады представлена на рис 32. На входе декады включен усилитель-ограничитель на транзисторе T_5, работающий в ключевом режиме. В этом каскаде происходит формирование импульсов отрицательной полярности, необходимых для запуска триггерных ячеек на транзисторах структуры *n-p-n*. Триггеры $Тг_1$, $Тг_2$ и $Тг_3$ включены по счетному входу, триггер $Тг_4$ включен по раздельным входам *J* и *K*. Для снижения нагрузки на триггер $Тг_1$ на выходе $\bar{Q}$ последнего включен промежуточный усилитель на транзисторе T_7. С выхода промежуточного усилителя сигнал подается на вход *K* триггера $Тг_4$ (транзистор T_{22}) и через схему *И* (диод $Д_{11}$) на вход *T* триггера $Тг_2$. Для осуществления декадного пересчета в схему декады введена потенциальная обратная связь, которую составляют эмиттерный повторитель (транзистор T_{20}) и схема И.

Исходные состояния транзисторов триггеров (после действия импульса сброса) будут следующие: T_2 — 1, T_4 — 0, T_{10} — 1, T_{12} — 0, T_{15} — 1, T_{16} — 0, T_{21} — 0, T_{22} — 1. Запертое состояние транзистора обозначено 1, отпертое состояние — 0.

До прихода восьмого импульса декада работает, как обычный двоичный счетчик. При этом схема И открыта для прохождения импульсов отрицательной полярности, так как к аноду диода $Д_{11}$ через эмиттерный повторитель (транзистор T_{20}) приложен нулевой потенциал коллектора транзистора T_{22}. Под действием восьмого входного импульса происходит переключение триггера $Тг_4$ в состояние 1. Отрицательный перепад коллекторного напряжения транзистора T_{22} закрывает схему И, отключая тем самым цепь запуска триггера $Тг_2$. Девятый импульс переключает только триггер $Тг_1$; десятый


Л1
ИН-12А
0
1
2
3
4
5
6
7
8
9
T1
П308
T3
П308
T6
П308
T8
П308
T9
П308
T11
П308
R1
0,2
R15
0,2
R19
0,2
R25
0,2
R29
0,2
R36
0,2
R9
4,7К
R21
4,7К
R33
4,7К
Шина
„чет"
Шина
„нечет"
R10
62
R12
62
R11
330
R13
330
R2
2,2К
R22
390
R23
10К
R26
10К
R27
2,2К
R30
390
R32
390
R34
390
R35
10К
R37
10К
R39
10К
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15


a
КТ3
R3 4,7к
R7 4,7к
R16 4,7к
R20 4,7к
R24 4,7к
R31 4,7к
R38 4,7к
R41 4,7к
Д1 Д18
Д2 Д18
С3 16
Т2 ГТ311И
Т4 ГТ311И
С4 16
Д7 Д18
Д8 Д18
Д12 Д18
С8 16
Д13 Д18
Т10 ГТ311И
Т12 ГТ311И
С9 16
Д16 Д18
Д17 Д18
R5 27к
R17 27к
С5 51
С1 51
Д4 Д18
Д6 Д18
Д10 Д18
С7 56
R18 27к
Д14 Д18
Д15 Д18
R40 27к
С10 56
Д18 Д18
16
17
18
19
20
R8 27к
R14 220
R18 27к
С6 33
Д11 Д18
Д3 Д18
КТ1
КТ2
R6 120
Т5 ГТ311И
Т7 ГТ311И
R4 180
Д5 Д18
Д9 Д18
С2 33
Вход


1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
R_{47} 27к
C_{21} 0,01
R_{68} 110К
R_{69} 82к
+200В
+2В
T_{13} П308
T_{14} П308
T_{17} П308
T_{18} П308
R_{43} 0,2
R_{51} 0,2
R_{55} 0,2
R_{64} 0,2
R_{49} 4,7к
R_{59} 4,7к
*R_{72} 220
Выход
$Д_{27}$ Д18
R_{65} 5,6к
T_{20} ГТ311И
R_{42} 10к
R_{53} 10к
R_{57} 10к
R_{60} 10к
4
R_{44} 2,2к
$КТ_4$
R_{50} 390
R_{52} 390
R_{71} 390
R_{73} 390
$\bar{Q}$
8
R_{78} 2,2к
$КТ_5$

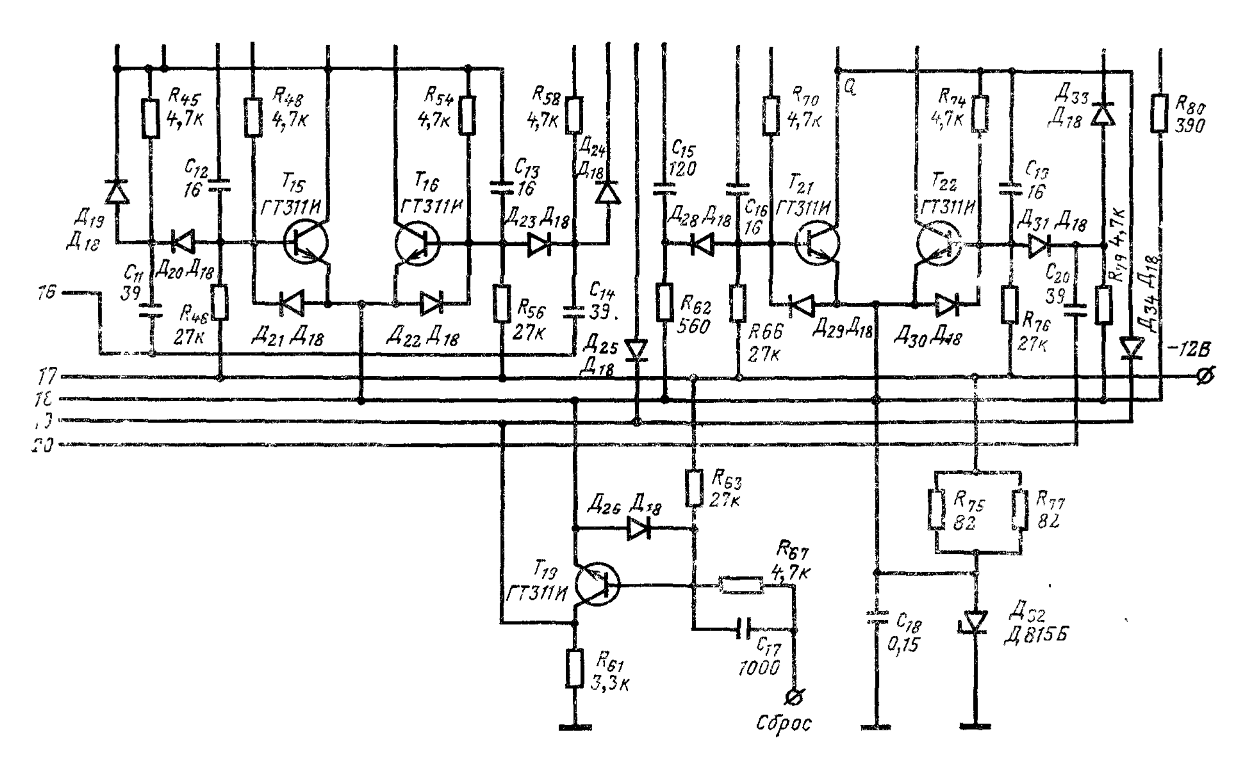


Рис. 32. Принципиальная схема декады 25 МГц.

импульс поступает на вход K триггера $Тг_4$ (транзистор $Т_{22}$) и переводит его в состояние 0 На этом заканчивается цикл работы декады — все триггеры возвращаются в исходное состояние.

С целью повышения быстродействия декады на обоих входах триггера $Тг_4$ включены дифференцирующие цепочки $R_{62}C_{15}$ и $R_{79}C_{20}$. Постоянная времени этих цепочек различна, так как они работают на различных частотах.

Импульс сброса положительной полярности поступает на вход каскада сброса, который выполнен на транзисторе $Т_{19}$. С выхода последнего инвертированный импульс через развязывающие диоды $Д_{10}$, $Д_{18}$, $Д_{25}$ и $Д_{34}$ подается на соответствующие плечи триггеров и устанавливает их в исходное состояние. Наличие автономного каскада сброса в схеме декады позволяет снизить требования к устройству сброса, общего для всех декад в приборе.

Перепады коллекторного напряжения транзистора $Т_{22}$ используются в качестве выходного сигнала декады. Для согласования выходного сопротивления декады с последующей нагрузкой (входная часть последующей декады) в цепь выходного сигнала последовательно включают резистор R_{72}, сопротивление которого составляет 200—240 Ом.

Индикация состояния декады осуществляется с помощью газоразрядной лампы типа ИН-12А (Б). В схему управления индикаторной лампой входят резисторная матрица дешифратора (резисторы R_{23}, R_{26}, R_{35}, R_{37}, R_{39}, R_{42}, R_{53}, R_{57}, R_{60} и R_{65}) и десять высоковольтных ключей типа П308. Диод $Д_{27}$ служит для развязывания цепи базы эмиттерного повторителя на транзисторе $Т_{20}$ от матрицы дешифратора.

Питание декады осуществляется от стабилизированных источников напряжения: —12 В±5%, +2 В±5% и нестабилизированного напряжения +200 В±10% с потреблением не более 200, 5 и 7 мА соответственно.

Питание коллекторных цепей транзисторов производится напряжением —6 В, которое снимается со стабилнтрона Д815Б ($Д_{32}$). Стабилитрон $Д_{32}$ включен в цепь источника напряжения —12 В, которое используется в качестве напряжения смещения. При наличии в приборе стабилизированного напряжения —6 В стабилитрон $Д_{32}$ и резисторы R_{75}, R_{77} могут быть исключены. Передача выходных сигналов триггеров на регистрирующее устройство производится через резисторы R_2, R_{27}, R_{44} и R_{78}. Определение верхнего предела частотного диапазона производится подачей на вход декады синусоидального сигнала (20—25 МГц) от сигнал-генератора. На низких частотах входной сигнал должен быть подан от импульсного генератора. При нормальном функционировании декады эпюры напряжений триггеров будут соответствовать приведенным на рис. 18,*б*.

Декада смонтирована на плате с двусторонним печатным монтажом, имеющей размеры 130×140 мм.

Быстродействие декады обеспечивается за счет применения высокочастотных транзисторов (ГТ311И) и импульсных диодов (Д18), введения диодов для ограничения перепада напряжений на участке база — эмиттер и снятия импульсов нерабочей полярности, шунтирования диодами резисторов дифференцирующих цепей, введения в схему декады промежуточного усилителя. Транзисторы ГТ311И могут быть заменены транзисторами типа КТ316, у которых время рассасывания не превышает 10 нс.

Транзисторная декада 50 МГц

Для измерения частоты следования сигналов в таких отраслях техники, как телеметрия, телевидение, радиолокация, космическая радиосвязь, потребовались измерительные приборы с высоким быстродействием пересчетных устройств При разработке пересчетных декад, предназначенных для работы на частотах свыше 25 МГц, в их схемы были введены дополнительные узлы в виде нормирующих усилителей и логических схем (И, И-НЕ), с помощью которых быстродействие пересчетных устройств приближается к быстродействию одного триггера. Соответственно изменились структурные схемы декад, так как введение новых связей между триггерами изменило привычный порядок соединения этих узлов.

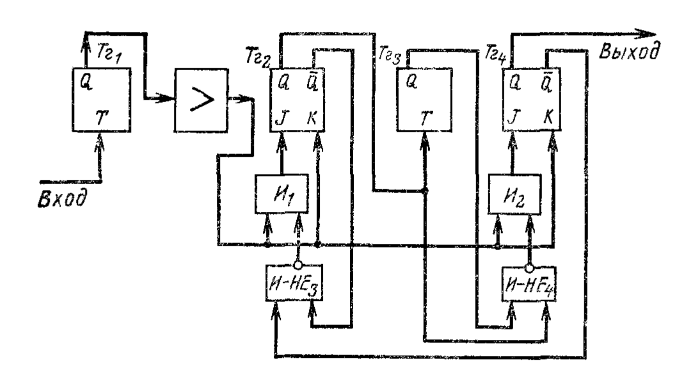


Рис. 33. Схема декады 50 МГц.

Ниже приводится описание пересчетной декады с верхним пределом частотного диапазона 50 МГц Декада входит в состав счетчика прибора А-1439 в качестве младшего разряда. Для осуществления декадного пересчета в декаду введены логические схемы И и И-НЕ потенциального типа.

Структурную схему декады (рис. 33) составляют две части: триггер $Тг_1$ и устройство пересчета на 5. На выходе триггера $Тг_1$ включен усилитель *У*; выход последнего соединен со счетными входами триггеров $Тг_2$ и $Тг_4$. Выход Q триггера $Тг_2$ соединен со счетным входом триггера $Тг_3$. В цепь запуска триггера $Тг_2$ включена логическая схема $И_1$, а в цепь запуска триггера $Тг_4$ — схема $И_2$. Включением схемы $И_1$ управляет логическая схема $И\text{-}НЕ_3$, а схемы $И_2$ — $И\text{-}НЕ_4$. К входам схемы $И\text{-}НЕ_3$ подводятся сигналы с выходов $\bar{Q}$ триггеров $Тг_2$ и $Тг_4$, к входам схемы $И\text{-}НЕ_4$ — с выходов Q триггеров $Тг_2$ и $Тг_3$.

Прежде чем приступить к рассмотрению схемы декады, необходимо ознакомиться с работой одной из логических схем И и связанной с ней схемы И-НЕ (рис. 34). Например, в схему $И_1$ входит

пусковой диод $Д_9$, включенный во входную цепь транзистора $Т_6$ триггера $Тг_2$. Роль схемы $И\text{-}НЕ_3$ выполняет транзистор $Т_5$, включенный по схеме с общим эмиттером. Резистор R_{13} является коллекторной нагрузкой транзистора $Т_5$; резистор R_{14} служит для развязывания схемы $И_1$ от коллекторной цепи $Т_5$ при снятии запрета; диод $Д_8$ обеспечивает фиксирование коллекторного напряжения на уровне +6 В. Смещение на базу транзистора $Т_5$ задается от источника напряжения —6 В с помощью делителя, в который входят диод $Д_{12}$ и резистор R_{15}.

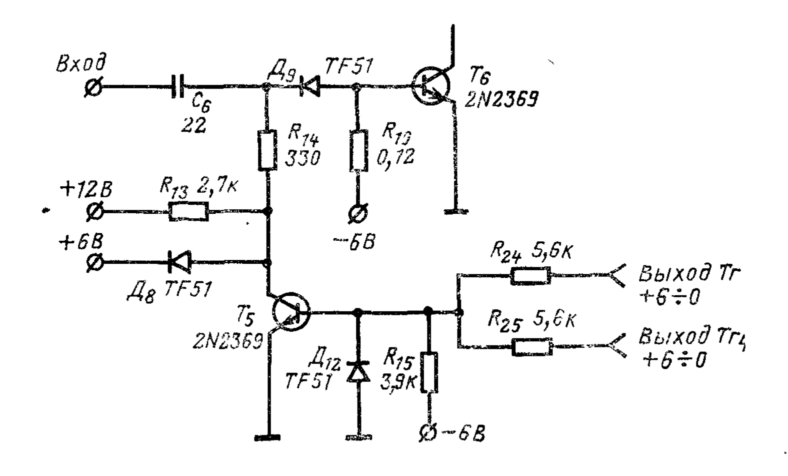


Рис. 34. Схема $И_1$ и $И\text{-}НЕ_3$.

Помимо напряжения смещения по цепям $R_{24}C_{10}$ и $R_{25}C_{11}$ к входам схемы $И\text{-}НЕ_3$ подводятся управляющие сигналы с выходов триггеров; в соответствии с перепадами коллекторного напряжения триггера от 0 до +6 В к входам схемы И-НЕ могут быть одновременно подведены следующие потенциалы: 1) —6, +6 и +6 В; 2) —6, 0 и +6 В; 3) —6, 0 и 0 В.

В первом случае транзистор $Т_5$ отперт, в двух других — заперт. Низкий потенциал с коллектора транзистора $Т_5$ обеспечивает открытое состояние схемы $И_1$ для запускающих импульсов.

Напряжение на коллекторе запертого транзистора составляет +6 В; это напряжение является запрещающим для схемы $И_1$, которая при этом запирается и отключает триггер $Тг_2$.

Перейдем к ознакомлению с работой декады. Электрическая схема декады приведена на рис. 35. В исходное, нулевое состояние триггеры устанавливаются импульсом сброса.

В результате действия каждого импульса, подведенного ко входу декады, происходит переключение триггера $Тг_1$. Перепад коллекторного напряжения от +6 В до 0, возникающий при отпирании транзистора $Т_1$, используется для запуска последующих триггеров. Так как импульс с выхода триггера $Тг_1$ поступает одновременно на входы триггеров $Тг_2$ и $Тг_4$, то для повышения нагрузочной способно-

сти $Тг_1$ сигналы с его выхода вначале подаются на двухкаскадный усилитель (транзисторы T_3 и T_4). Так как импульсы необходимой полярности на выходе усилителя будут возникать только при поступлении на вход триггера $Тг_1$ четных импульсов, то в дальнейшем следует рассматривать прохождение именно этих импульсов через устройство пересчета на 5.

В исходном состоянии (до прихода второго счетного импульса) схемы $И_1$ и $И\text{-}НЕ_3$ находятся в открытом состоянии, так как к входу последней подведены высокие уровни. Схема $И_2$ закрыта, так как к входам схемы $И\text{-}НЕ_4$ подведены низкие уровни. В результате таких состояний схем И второй импульс переключает только триггер $Тг_2$. При этом схема $И_1$ закроется, но это не помешает триггеру $Тг_2$ переключиться под действием четвертого импульса. Схема $И_1$ вновь перейдет в открытое состояние. Переключение триггера $Тг_2$ под действием четвертого импульса вызовет переход триггера $Тг_3$ в единичное состояние, но схема $И_2$ при этом остается закрытой. Шестой импульс вновь опрокинет триггер $Тг_2$ и одновременно с этим закроется схема $И_1$. Схема $И_2$ теперь переходит в открытое состояние, так как при переключении триггера $Тг_3$ при поступлении четвертого импульса и триггера $Тг_2$ при поступлении шестого импульса на входах этой схемы устанавливаются высокие уровни. Восьмой импульс опрокидывает триггеры $Тг_2$ и $Тг_3$ в нулевое состояние, триггер $Тг_4$ через открытую схему $И_2$ переключается в единичное состояние. Десятый импульс переключает триггеры $Тг_1$ и $Тг_4$ в нулевое состояние. В результате действия десятого импульса на выходе триггера $Тг_4$ возникает импульс переноса отрицательной полярности; схема $И_1$ переходит в открытое состояние, а $И_2$ закрывается.

В дополнение к сказанному необходимо остановиться на некоторых особенностях схемы декады, обеспечивающих ее быстродействие: применено диодное фиксирование коллекторного напряжения запертых транзисторов; введена подготовка пусковых диодов прямым током; резисторы пусковых цепей шунтированы диодами; коллекторные нагрузки уменьшены до 330 Ом.

Декада работает в соответствии с кодом 1-2-4-8

На рис. 35 внизу приведены осциллограммы процессов в декаде при измерении сигнала с частотой 10 МГц.

Сброс на нуль производится путем подачи импульса положительной полярности амплитудой 12 В и длительностью 50 мкс на базы транзисторов триггеров через резисторы R_2, R_{18}, R_{27} и R_{39}. На выходе декады включена дифференцирующая цепь R_{48} C_{20}. Диод $Д_{28}$ «срезает» положительный выброс выходного импульса. Импульсы на выходе декады имеют отрицательную полярность и амплитуду 3 В.

Питание декады осуществляется от стабилизированных источников питания с напряжениями +12, +6 и −6 В. Для питания анодной цепи индикатора используется напряжение +200 В.

Схему дешифратора и управления индикатором составляют резисторная матрица и десять высоковольтных транзисторов структуры *n-p-n*.

При повторении декады с использованием полупроводниковых элементов отечественного производства в триггерах могут быть использованы транзисторы КТ316А (Б); в качестве высоковольтных ключей — транзисторы типа КТ605 или К1НТ661А; вместо диодов TF51 могут быть применены диоды типа КД503А.

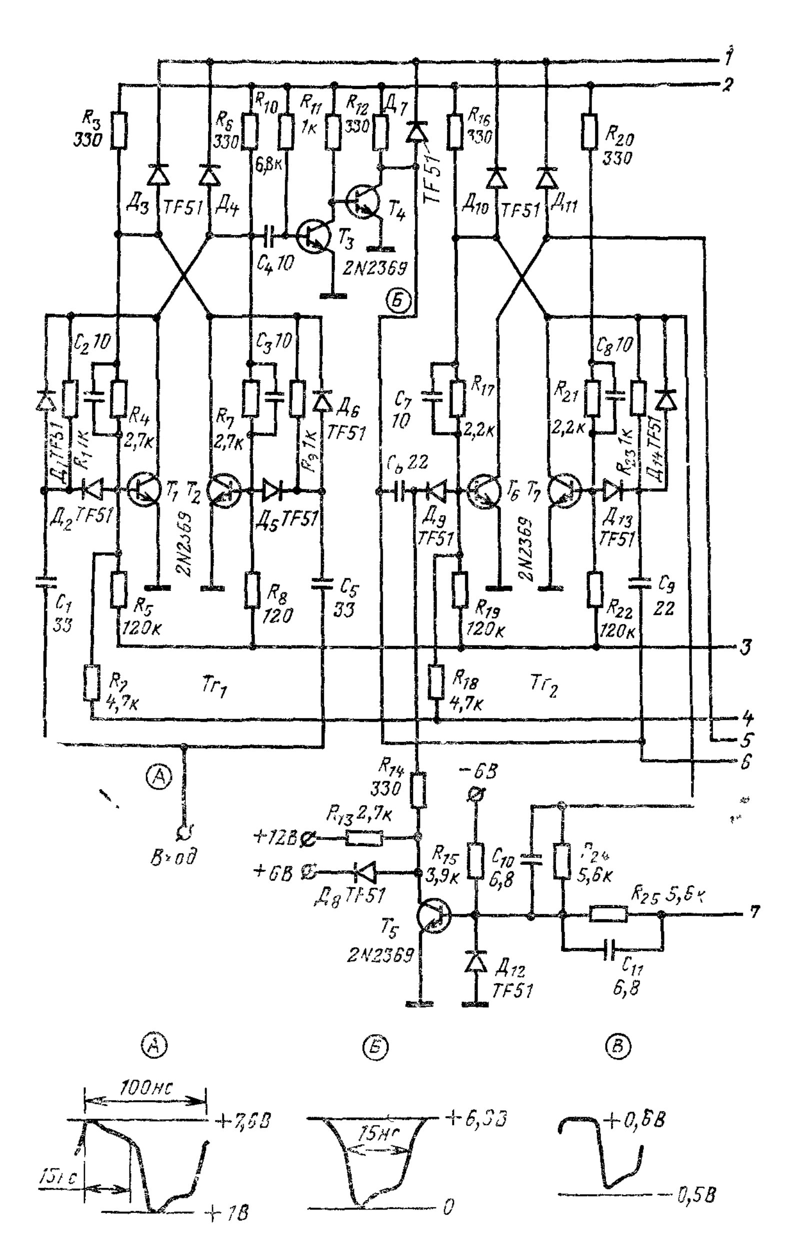
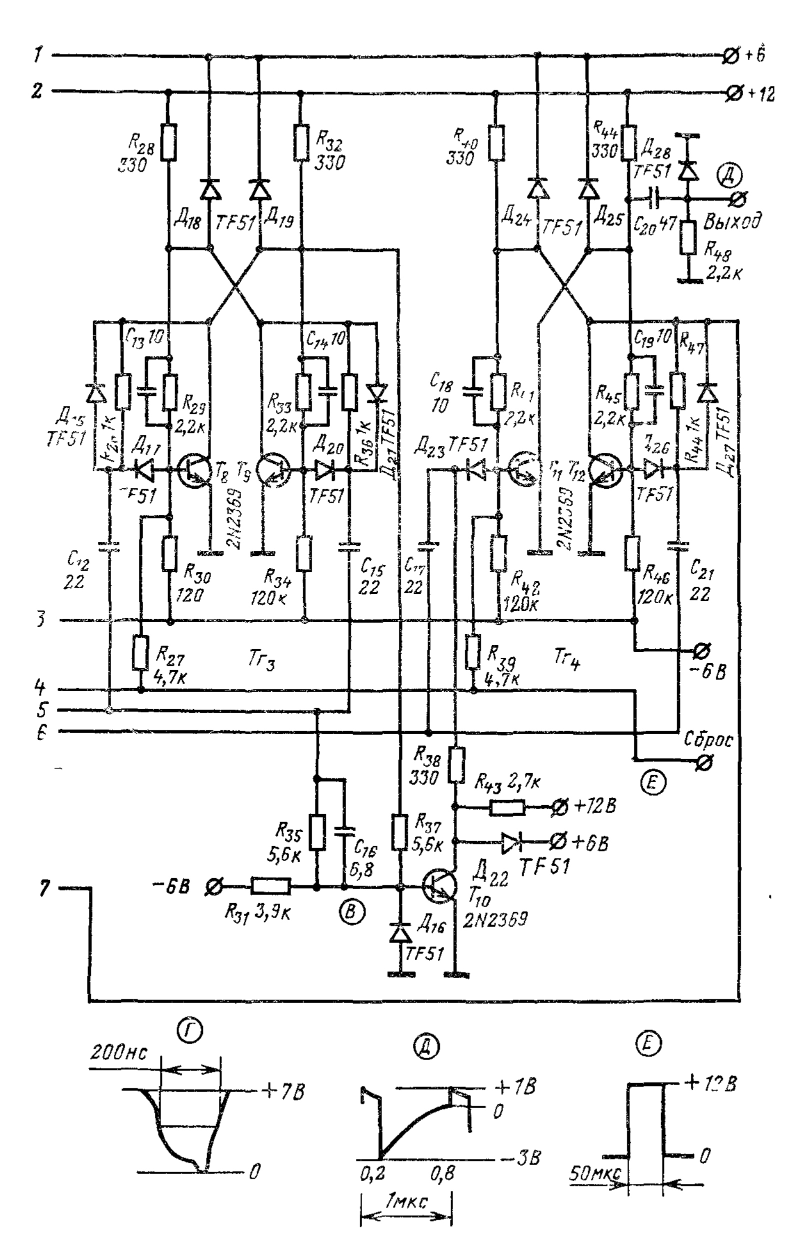


Рис 35. Принципиальная схема декады 50 МГц и



характерные осциллограммы в различных точках схемы.

Транзисторная декада 120 МГц

Для современной цифровой измерительной и вычислительной техники необходимы пересчетные устройства с цифровой индикацией, обладающие высоким быстродействием — до 100 МГц и выше. Повышение быстродействия таких устройств достигается использованием туннельных диодов в схемах триггеров.

Структурная схема описываемой декады (рис. 36) включает следующие элементы: счетчик, усилители триггеров и дешифратор. Счетная часть декады состоит из пяти триггеров и выполнена на основе кольцевого сдвигающего регистра с перекрестными связями. Для получения коэффициента счета $K_{сч}=10$ триггеры соединены в кольцо таким образом, что между любыми соседними триггерами осуществляется прямая связь, а между пятым и первым — перекрестная.

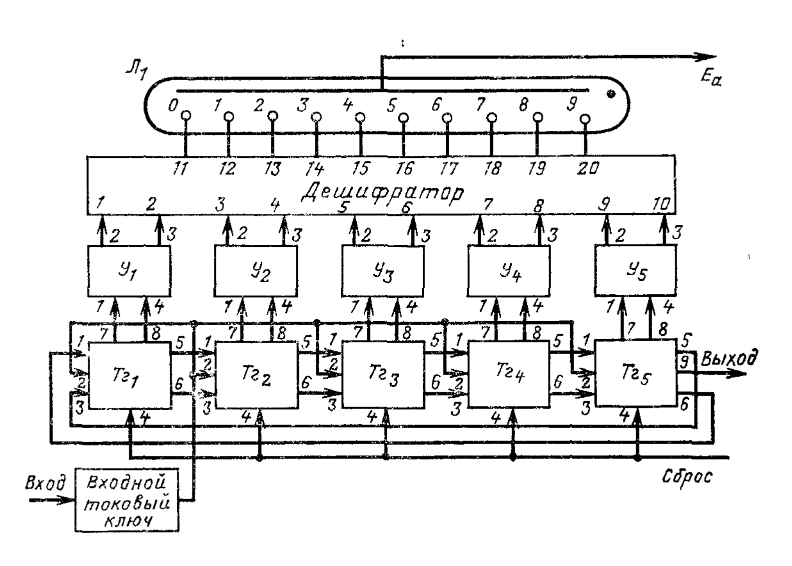


Рис. 36. Схема декады 120 МГц.

При этом выходы Q и $\bar{Q}$ предыдущего триггера (точки *5* и *6*) соединены через стабилитроны $Д_2$ и $Д_6$ соответственно с входами S и R (точка *1* и *3*) следующего триггера; выходы триггера $Тг_5$ (точки *5* и *6*) соединены соответственно с входами триггера $Тг_1$ (точки *3* и *1*). При таком соединении триггеров счетчик последовательно принимает десять устойчивых состояний: 00000, 10000, 11000, 11100, 11110, 11111, 01111, 00111, 00011, 00001, 00000, а каждый триггер при этом переключается с частотой 1/5 частоты счетных импульсов, поступающих на вход декады.

Триггер выполнен по комбинированной схеме, в которую входят туннельный диод $Д_4$ и транзисторы $Т_5$ и $Т_6$. Транзисторы включены по схеме с общей базой (рис. 37,*а*).

С целью обеспечения достаточной энергии входного импульса, необходимой для срабатывания элементов схемы, на входе декады включен формирователь импульсов, выполненный по схеме переключателя тока (транзисторы T_1 и T_2). Транзисторы включены по схеме с общим коллектором. Входной сигнал поступает через дифференцирующую цепочку $R_{18}C_2$. Переключатель тока работает следующим

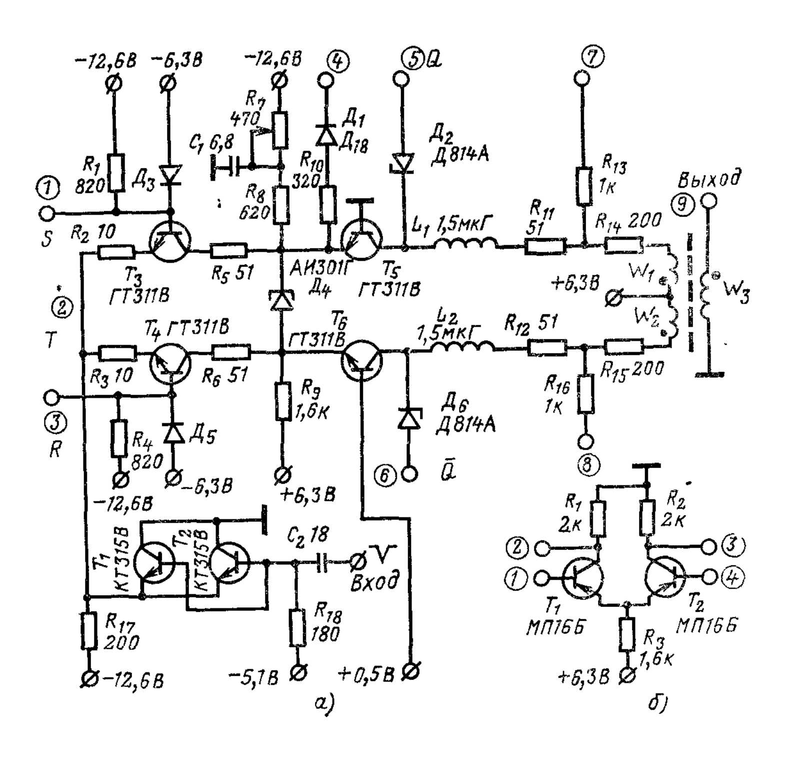


Рис. 37. Схемы триггера 120 МГц (*а*) и усилителей триггеров (*б*).

образом. В исходном состоянии транзисторы T_1 и T_2 отперты. При поступлении на вход декады запускающего импульса последний дифференцируется и запирает транзисторы T_1 и T_2. В результате импульс тока от источника — 12,6 В поступает на входы T всех триггеров (точка *2*). В целях улучшения условий запуска на входе каждого триггера включены транзисторы T_3 и T_4, работающие в ключевом режиме. В работе ключей реализована логическая схема И. Ключевые транзисторы T_3 и T_4 управляют работой триггера, пропуская импульсы тока поочередно на входы туннельного диода $Д_4$. Работа логических ключей происходит следующим образом. Импульс сброса отрицательной полярности устанавливает триггеры счетчика в нулевое состояние, при котором транзистор T_5 (в каждом триггере) на-

ходится в отпертом состоянии, а T_6 — в запертом. Потенциал коллектора транзистора T_5 близок к нулю, поэтому напряжение на аноде стабилитрона $Д_2$ равно примерно —7 В. Это напряжение подводится к базе транзистора T_3 последующего триггера. В то же время к стабилитрону $Д_6$ подводится суммарное напряжение +6,3 В с коллектора транзистора T_6 и —7 В с катода диода $Д_5$. В результате происходит пробой диода $Д_6$ и к базе транзистора T_4 подводится напряжение —6 В. Входной импульс (отрицательной полярности) с выхода переключателя тока (транзисторы T_1 и T_2) с амплитудой около 9 В поступает на счетный вход *Т* триггера (точка *2*), т. е на эмиттеры логических ключей. В проводящем состоянии в данном случае оказывается транзистор T_4. Таким образом, величина отрицательного смещения на базах логических ключей (транзисторы T_3 и T_4) рассматриваемого триггера определяется состоянием предыдущего триггера. Применение входных логических ключей обеспечивает идентичные условия для переключения туннельного диода по обоим входам. При работе триггера напряжение на туннельном диоде изменяется в пределах 0,5 В. В этих же пределах изменяются коллекторные напряжения транзисторов T_3 и T_4. Изменения напряжений на базах транзисторов T_3 и T_4 фиксируются при помощи обращенных диодов $Д_3$ и $Д_5$ (из GaAs) и ограничены рабочими точками на прямой и обратной ветвях характеристик этих диодов (в пределах 1 В).

Импульс сброса, который подается в точку *4* схемы триггера («Уст. 0»), устанавливает рабочую точку туннельного диода $Д_4$ на диффузионную ветвь его характеристики, напряжение на нем составит около 0,8 В. При этом потенциал эмиттера транзистора T_5 приобретает значение —0,3 В; транзистор T_5 переходит в отпертое состояние. На эмиттере транзистора T_6 устанавливается потенциал порядка +0,5 В, и транзистор T_6 переходит в запертое состояние.

Как было сказано выше, поступающие на счетный вход *Т* триггера импульсы тока будут передаваться через один из логических ключей — транзистор T_3 или T_4. Допустим, что при очередном изменении состояния предыдущего триггера уменьшится напряжение смещения у транзистора T_3 и последний перейдет в проводящее состояние. В этом случае запускающий импульс переместит рабочую точку туннельного диода $Д_4$ в сторону дальнейшего увеличения тока, не вызывая при этом переключения триггера. В таком состоянии рассматриваемый триггер будет находиться до следующего переключения предыдущего триггера, при котором транзистор T_4 будет отперт, а T_3 — заперт. В этом случае входной импульс тока поступит на анод диода $Д_4$ и ток последнего будет уменьшаться. Рабочая точка туннельного диода перейдет на туннельную ветвь характеристики, напряжение на диоде составит около 0,2 В. В результате произойдет уменьшение отрицательного потенциала на эмиттере транзистора T_5 до нуля и последний перейдет в запертое состояние. Потенциал на эмиттере T_6 составит около +0,2 В, и транзистор T_6 откроется, так как на его базу подается напряжение смещения +0,5 В от внешнего источника. Таким образом осуществляется переключение триггера. В схеме триггера предусмотрена исходная установка тока туннельного диода $Д_4$ на уровне 0,7 его пикового значения. Для этой цели в схему введен потенциометр R_7.

Работа счетчика декады происходит в следующем порядке. В результате действия импульса сброса на выходах *Q* всех триггеров устанавливается низкий уровень напряжения. Первый счетный импульс переключает триггер $Тг_1$ в состояние 1. В подготовленное

состояние по входу R перейдет триггер $Tг_2$. Последующие импульсы будут переключать остальные триггеры. При переключении триггера $Tг_5$ под действием пятого входного импульса у триггера $Tг_1$ в подготовленное состояние перейдет вход S. Шестой импульс переключит триггер $Tг_1$ в исходное (нулевое) состояние, а последующие импульсы переключат в такое же состояние остальные триггеры. Таким образом, после действия десятого входного импульса все триггеры декады оказываются в исходном состоянии.

Выходной сигнал счетчика (импульс переноса разряда) снимается с импульсного трансформатора. Последний выполнен на кольцевом сердечнике Ф=600 диаметром 10 мм и содержит три обмотки по 8 витков. Обмотки наматываются одновременно в три провода ПЭЛШО 0,25. Две обмотки включены противофазно в коллекторные цепи транзисторов триггера $Tг_5$, с третьей снимается выходной импульс отрицательной полярности.

Схему управления газоразрядным индикатором составляют усилители выходных сигналов триггеров, дешифратор и высоковольтные ключевые транзисторы T_1—T_{10} (рис. 38). Усилители (рис. 37,*б*) введены в схему декады с целью преобразования уровней выходных сигналов триггеров до величин, необходимых для управления ключевыми транзисторами. Усилители триггеров $Tг_1$—$Tг_4$ управляют ключевыми транзисторами по базам; по эмиттерам последние управляются при помощи усилителей триггера $Tг_5$. Высоковольтные транзисторы разделены на две группы — T_1—T_5 и T_6—T_{10}. Эмиттеры транзисторов в каждой из групп соединены общими шинами; последние подключены к выходам усилителей триггера $Tг_5$. Для повышения нагрузочной способности этих усилителей сопротивления их коллекторных и эмиттерных нагрузок изменены и составляют соответственно 220 и 470 Ом. Дешифратор представляет собой резисторную матрицу, с помощью которой происходит преобразование двоично-пятеричного кода счетчика в десятичный. Последний необходим для индикации состояний декады. Входные импульсы отрицательной полярности должны иметь амплитуду не менее 3 В и длительность не более 10 нс. Температурный диапазон декады от 0 до 40°С.

Декада смонтирована на двух печатных платах, на одной из них размещены элементы счетчика и усилителей, на второй — дешифратор и ключевые транзисторы

После проверки правильности монтажа приступают к поразрядной проверке счетчика (при выключенном питании индикатора). При этом должны быть убраны связи между триггерами $Tг_5$ и $Tг_1$. На входы *1* и *3* триггера $Tг_1$ необходимо периодически подавать напряжения —7 В и —8 В, обеспечивающие поочередное отпирание транзисторов T_3 и T_4. Затем на вход *2* счетчика подают импульсные сигналы частотой 1 кГц и проверяют работоспособность всех триггеров. Повышение амплитуды сигнала переноса производится путем увеличения числа витков третьей обмотки трансформатора (на 1—2 витка). Полярность выходного сигнала определяется с помощью осциллографа. Затем восстанавливают связи между триггерами $Tг_5$ и $Tг_1$ и повышают частоту входных сигналов до 1 МГц. С помощью двухлучевого осциллографа проверяют эпюры напряжений на выходах триггеров; они должны соответствовать рис. 25. Далее, включают питание индикаторной лампы и при подаче сигналов частотой 1 Гц проверяют очередность высвечивания цифр. При определении быстродействия декады коэффициент счета $K_{сч}=10$ контролируется при помощи частотомера.

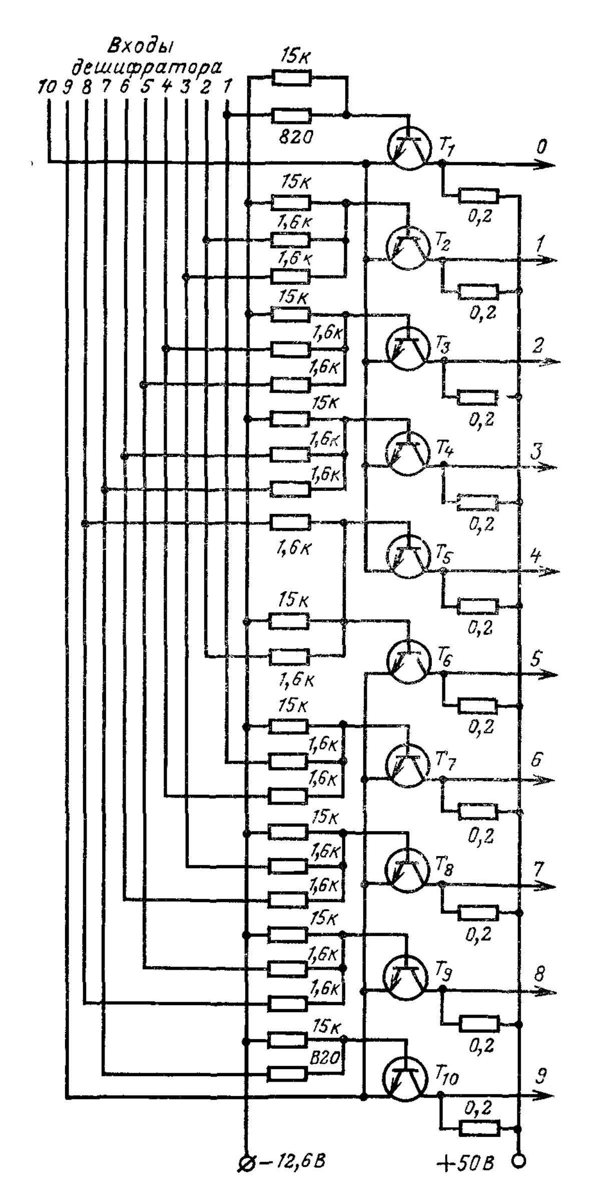


Рис. 38. Дешифратор и схема управления цифровым индикатором.

Тиристорная декада

Пересчетные устройства, используемые в электронных часах в узлах отсчета и индикации времени, обычно имеют низкое быстродействие Поэтому в тех случаях, когда к габаритам конструкции не предъявляются жесткие требования, пересчетные устройства могут быть выполнены на тиристорах. В схеме декады (рис. 39,*а*) реализован кольцевой счетчик, который состоит из десяти идентичных тиристорных ячеек Применение тиристоров в качестве переключающих элементов позволило значительно упростить декаду.

В схеме декады отсутствует дешифратор, так как выходы ячеек (аноды тиристоров) соединены непосредственно с катодами цифрового индикатора, а кольцевая схема счетчика обеспечивает очередность фиксирования импульсов, действующих на входе декады Необходимый коэффициент пересчета $K_{сч}=10$ определяется количеством ячеек в схеме

Входы всех ячеек декады соединены параллельно; входные импульсы поступают на шину «Вход», с которой через пусковые диоды подводятся к каждой ячейке.

Тиристорные ячейки, в соответствии с индицируемыми цифрами индикатора, имеют нумерацию от 0 до 9 В схему ячейки *1*, например, входит тиристор $Д_4$, пусковой диод $Д_{13}$, конденсатор C_{12}, резистор R_{25} и элементы цепи управления последующей ячейкой — резисторы R_2 и R_{15}. В схему ячейки 0 помимо соответствующих элементов входит цепь сброса (диод $Д_2$), выходной трансформатор $Тр_1$ и стабилитрон $Д_1$. Связь между ячейками осуществляется с помощью конденсаторов C_1—C_{10}. Рассмотрим работу этой ячейки

В исходном состоянии (при включении питания) тиристор $Д_3$ заперт; на его аноде устанавливается напряжение источника +150 В. Конденсатор C_1, как и остальные конденсаторы связи, разряжен, так как его обкладки соединены с анодами закрытых тиристоров ($Д_3$ и $Д_{12}$), а конденсатор C_{11} заряжен (через резисторы R_{10}, R_{23} и R_{24}) до напряжения источника (+150 В). Пусковой диод $Д_{22}$ заперт положительным напряжением, которое подводится к нему с конденсатора C_{11}, поэтому при поступлении входных импульсов тиристор $Д_3$ останется в выключенном состоянии. Для включения тиристора необходимо подать на его управляющий электрод импульс сброса через диод $Д_2$. При включении тиристора $Д_3$ происходит уменьшение потенциала его анода практически до нуля. Одновременно с этим конденсаторы C_1 и C_2 через открытый тиристор $Д_3$ и резисторы R_{10} и R_2 соответственно заряжаются до напряжения источника питания (полярность заряда этих конденсаторов указана на рис. 39,*а*). Конденсатор C_{12} разряжается через резисторы R_{14}, R_{13}, R_{25} и тиристор $Д_3$. В результате разряда конденсатора C_{12} открывается диод $Д_{13}$ и первый входной импульс поступает через диод $Д_{13}$ и конденсатор C_{12} на управляющий электрод тиристора $Д_4$. Произойдет включение второй ячейки декады. Проследим работу этой и остальных ячеек. После включения тиристора $Д_4$ конденсатор C_2, заряженный перед этим до напряжения источника, оказывается подключенным (через тиристор $Д_4$) параллельно тиристору $Д_3$ плюсом к его катоду и минусом к аноду. При этом изменяется полярность напряжения на тиристоре $Д_3$ и он переходит в выключенное состояние. Конденсатор C_2 начинает перезаряжаться через резистор R_1 и тиристор $Д_4$ до напряжения источника питания; полярность напряжения на конденсаторе C_2 изменяется на противоположную.

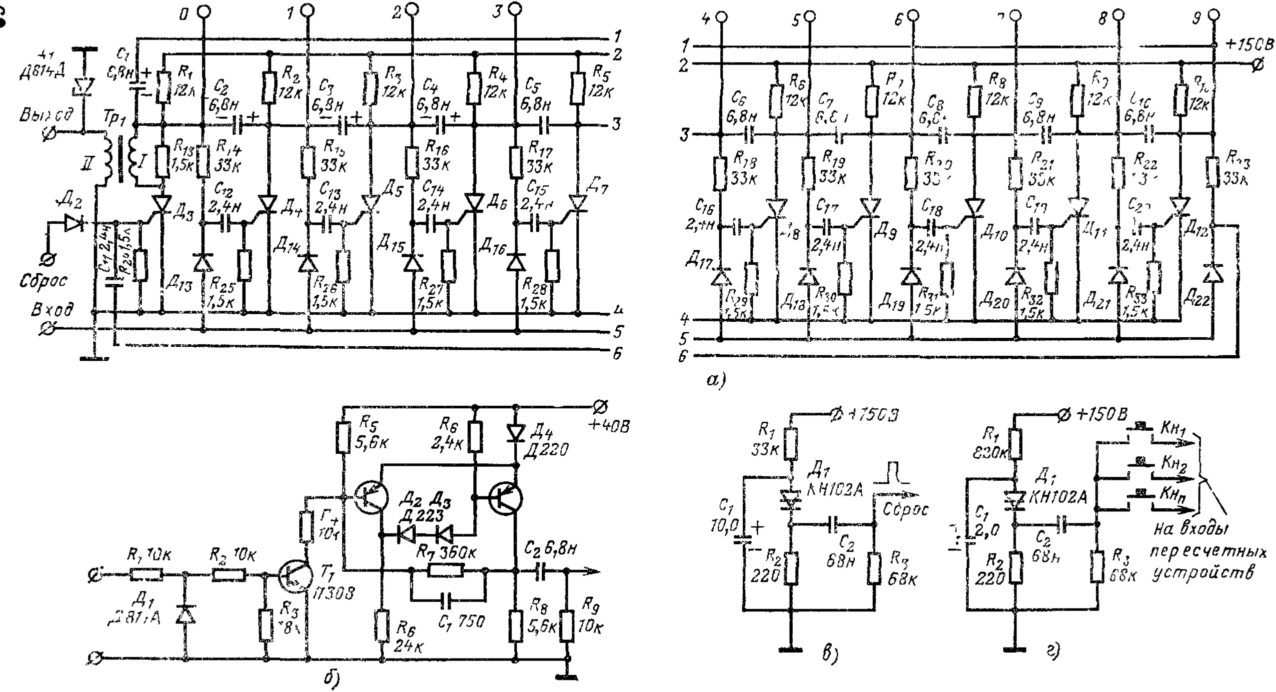


Рис. 39. Схема тиристорной декады (*а*).

Тиристоры $Д_3$—$Д_{12}$ типа КУ101Г; диоды $Д_2$, $Д_{13}$—$Д_{22}$ — Д223Б; формирователь счетных импульсов (*б*), генератор импульса сброса (*в*), генератор импульсов установки времени (*г*).

По мере перезаряда конденсатора C_2 соответственно будет возрастать напряжение на аноде тиристора $Д_3$. Конденсатор C_{12} начнет заряжаться, и диод $Д_{13}$ запрется Одновременно происходит заряд конденсатора C_3 с полярностью, указанной на рис 39,*а* Конденсатор C_1 разряжается (до нуля) через резисторы R_1 и R_{10}, а конденсатор C_{13} — через резисторы R_{15}, R_{26} и тиристор $Д_4$. После разряда конденсатора C_{13} откроется диод $Д_{14}$ и на управляющий электрод тиристора $Д_5$ поступит второй входной импульс Произойдет включение тиристора $Д_5$, входящего в ячейку 2. Под действием напряжения на конденсаторе C_3, приложенного через открытый тиристор $Д_5$ к тиристору $Д_4$, последний закрывается. Через резистор R_2 и тиристор $Д_5$ будет происходить перезаряд конденсатора C_3 с полярностью, обратной указанной на рис 39,*а*. За счет возрастающего напряжения на аноде тиристора $Д_4$ произойдет заряд конденсатора C_{13} и пусковой диод $Д_{14}$ запрется Конденсатор C_4 зарядится до полного напряжения источника в соответствии с полярностью, указанной на рис 39,*а*. Конденсатор C_{14} разрядится (через резисторы R_{16}, R_{27} и тиристор $Д_5$), и третий импульс, из числа действующих на входе схемы, поступит на вход ячейки 3.

Переключение остальных ячеек будет происходить аналогично. Девятый входной импульс включит тиристор $Д_{12}$; при этом откроется диод $Д_{22}$ и десятый импульс поступит на управляющий электрод тиристора $Д_3$. При включении тиристора $Д_3$ на выходе декады появляется импульс переноса На этом заканчивается первый цикл ра-

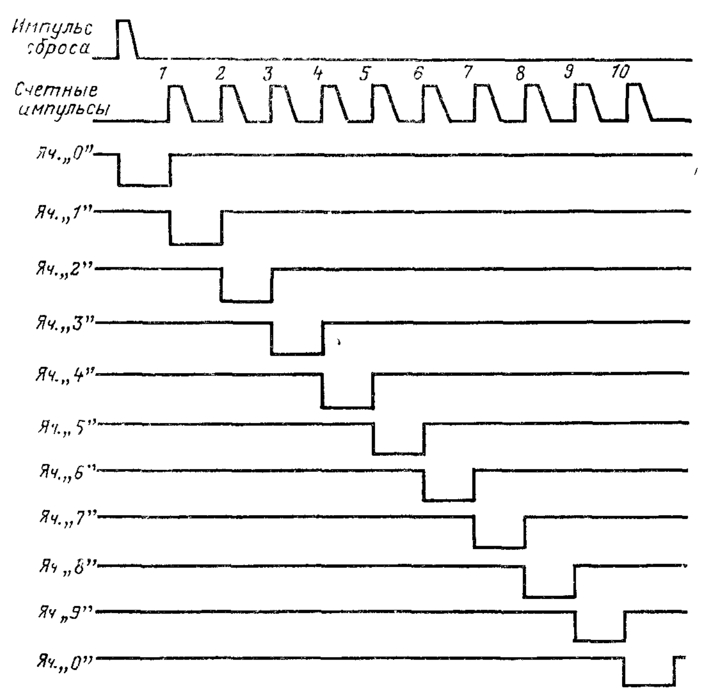


Рис. 40. Эпюры напряжений тиристорной декады.

боты декады. Последующие циклы отличаются от первого отсутствием начального импульса сброса («пуск»).

На рис. 40 показаны эпюры процессов, происходящих в декаде.

Для устранения колебательных процессов первичная обмотка трансформатора $Тр_1$ шунтирована резистором R_{13}. Вторичная обмотка шунтирована стабилитроном $Д_1$ типа Д814Д, который ограничивает амплитуду выходного сигнала на уровне 12 В.

Информация о состоянии декады может осуществляться при помощи газоразрядных ламп типов ИН-8, ИН-12, ИН-14. Включение необходимой цифры индикатора происходит следующим образом. К аноду индикатора через ограничивающий резистор сопротивлением 33 кОм подведено пульсирующее напряжение +200 В. При выключенных тиристорах напряжение на катодах индикатора равно +150 В. Возникающая при этом разность потенциалов между анодом и катодами (50 В) явно недостаточна для зажигания цифр. При включении одного из тиристоров на соответствующем промежутке анод — катод устанавливается напряжение 200 В, обеспечивающее зажигание газоразрядного промежутка.

Для начальной установки счетчика декады в нулевое состояние служит генератор импульсов сброса (см. рис. 39,*в*), представляющий собой релаксатор на динисторе типа КН102А ($Д_1$). При включении питания начинается заряд конденсатора C_1, включенного параллельно динистору. Примерно через 100 мс после включения питания напряжение на динисторе достигает 12 В, динистор открывается и через него происходит разряд конденсатора C_1. При этом на катоде динистора формируется импульс положительной полярности с крутым фронтом длительностью 5—10 мкс, который, пройдя через дифференцирующую цепочку C_2R_3 и диод $Д_2$ (см. рис. 39,*а*), устанавливает счетчик в исходное состояние. На индикаторе зажигается цифра 0. Так как генератор импульсов сброса работает в однократном режиме (выдает только один импульс), ток через динистор выбран больше тока удержания.

Формирователь счетных импульсов представляет собой усилитель постоянного тока с положительной обратной связью. Схема формирователя (рис. 39,*б*) выполнена на транзисторах T_1—T_3. Независимо от скорости нарастания напряжения на входе усилителя на его выходе формируется импульс положительной полярности с крутым фронтом и амплитудой 12—13 В.

Обратная связь осуществляется с помощью параллельной *RC*-цепи (R_7C_1); *р-n-р* транзисторы типа МП26Б.

Для предварительной установки времени (установки декады в состояние, отличающееся от исходного) служит генератор (рис. 39,*г*), также выполненный на динисторе $Д_1$ типа КН102А. В отличие от генератора импульсов сброса ток через динистор выбран меньше тока удержания, и с его катода снимаются импульсы амплитудой около 12 В, следующие с частотой около 0,5 Гц. Эти импульсы поступают на пересчетное устройство через кнопку *Кн*.

Устройства пересчета на 3 и на 6 отличаются от декады лишь количеством ячеек в схеме счетчика

Выходной трансформатор декады $Тр_1$ выполнен на ферритовом сердечнике типа М2000НМ-15, имеющем размеры 10×6×4,5 мм Намотка произведена проводом ПЭВ-2 0,06; обмотка *I* имеет 220 витков, обмотка *II* — 250 витков. Помимо электронных часов декада на тиристорах может найти применение в автоматических устройствах, быстродействие которых не превышает 5 кГц.

Глава третья

УСОВЕРШЕНСТВОВАНИЯ ДЕКАД И ВСПОМОГАТЕЛЬНЫЕ УСТРОЙСТВА

Динамическая индикация

В устройствах с цифровым отсчетом информации, счетчики которых содержат малое количество разрядов ($n=3\div5$), обычно применяется статическая индикация результатов измерения. Сущность последней заключается в следующем В каждом разряде содержится счетная часть (декада), дешифратор и индикатор. При счете импульсов в декаде происходит обычный процесс деления частоты. По окончании счета триггеры декады превращаются в регистр памяти. В соответствии с состоянием декады зажигается одна из цифр индикаторной лампы. Время индикации может быть установлено любым. Для связи декады с соответствующим индикатором необходимое количество информационных проводов равно 10.

В устройствах с многоразрядными счетчиками выгоднее применять динамическую индикацию, преимущества которой заключаются в следующем:

независимо от количества разрядов в счетчике для коммутации цифровых катодов индикаторов используется один дешифратор и десять ключевых транзисторов;

индикаторные лампы включаются поочередно; для устранения мерцания цифр частота включений может достигать 1—8 кГц;

значительно сокращается количество соединений между декадами и индикаторами.

При использовании динамической индикации питание ламп происходит в импульсном режиме; среднее значение тока снижается до 1 мА. При этом обеспечивается достаточная яркость и полное свечение катодов, одновременно устраняются ореолы. При частоте коммутации $F=2$ кГц и числе разрядов $n\leqslant10$ скважность $Q=10$; длительность импульса $T_и=50$ мкс.

На рис. 41 представлена структурная схема динамической индикации с поочередным опросом разрядов, примененная в цифровом частотомере Ч3-30. В схему входят: генератор чисел, дешифратор, катодные ключи, схемы совпадения и анодные ключи.

Рассмотрим работу схемы. Двоично-десятичный восьмиразрядный счетчик прибора содержит информацию, которую необходимо внести в устройство отсчета. Генератор чисел выдает в схемы совпадения и дешифратор последовательность импульсов, необходимых для синхронизации процессов в анодных и катодных ключах. Число катодных ключей соответствует количеству катодов цифровой лампы и не зависит от числа разрядов в счетчике. Выходные сигналы дешифратора с помощью катодных ключей преобразуются в импульсное напряжение $U_к$, которое подводится к катодам индикаторов (одноименные катоды всех индикаторных ламп соединяются параллельно). Формируемое в анодных ключах импульсное напряжение $U_а$ подается поочередно на аноды ламп. При совпадении в определенные моменты времени импульсов напряжений $U_а$ и $U_к$ происходит зажигание необходимых цифр индикаторов. Благодаря высокой частоте переключения и инерции зрительного восприятия обеспечивается необходимая яркость свечения цифр.

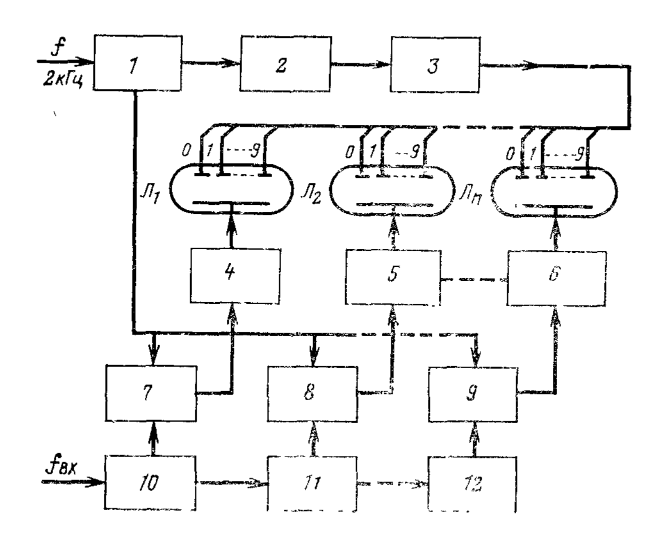


Рис. 41. Структурная схема счетчика с динамической индикацией.
1 — генератор чисел; *2* — дешифратор; *3* — катодные ключи 0—9; *4* — анодный ключ *1*; *5* — анодный ключ *2*; *6* — анодный ключ *n*; *7* — схема $И_1$; *8* — схема $И_2$; *9* — схема $И_n$; *10* — декада *1*; *11* — декада *2*; *12* — декада *n*.

Рис. 42. Анодный ключ.
а — принципиальная схема; *б* — эпюра входного напряжения ($КТ_1$); *в* — эпюра выходного напряжения ($КТ_2$).

Состояния генератора чисел сравниваются с состояниями пересчетных декад при помощи схем сравнения. При совпадении их состояний на выходе схемы сравнсния возникает импульс, который усиливается в схеме анодного ключа и поступает на анод индикаторной лампы. В лампе зажигается цифра, соответствующая состоянию декады. Число схем сравнения, анодных ключей и ннднкаторов равно числу пересчетных декад (разрядов).

Аиодные ключи предназначены для периодического коммутирования анодов индикаторных ламп. Схема анодного ключа (рис. 42) включает в себя схему сравнения. Схема сравнения на один разряд представляет собой сборку четырех схем логической равнозначности, каждая из которых выполнена на четырех диодах и двух резисторах. Поскольку управляющие потенциалы с генератора чисел подаются одновременно на схемы сравнения всех разрядов (декад), с целью развязывания его выходов сопротивления резисторов, входящих в схему сравнения, выбираются достаточно большими (27 кОм).

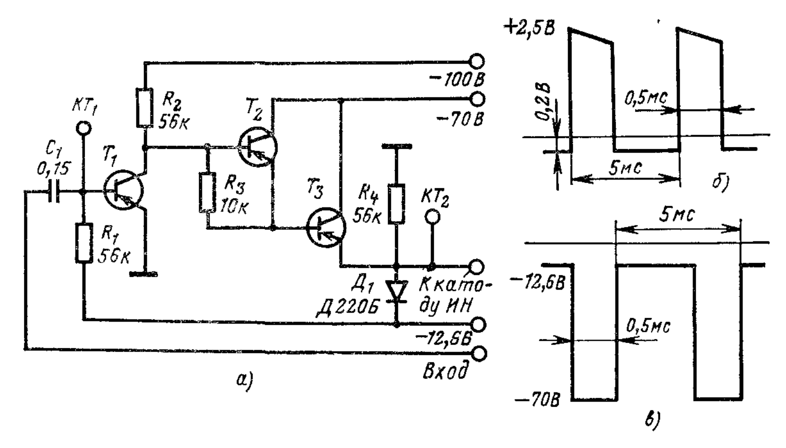


Рис. 43. Катодиый ключ.

а — приицилиальная схема; *б* — эпюра входного напряжения (KT_1); *в* — эпюра выходного иапряжеиия (KT_2).

Схема ключа состоит из входного эмиттерного повторителя на транзисторе T_1 (МП16А), усилителя на транзисторе T_2 (МП16А) и выходного ключевого каскада на транзисторе T_3 (МП26А). В исходном состоянии транзистор T_3 заперт и коиденсатор C_1 заряжается от источника напряжения +100 В. С приходом импульса положительной полярности со схемы сравнения транзистор T_3 отпирается. Положительный перепад напряжения поступает на анод индикаторной лампы. Конденсатор разряжается через отпертый транзистор T_3 и индикаторную лампу.

На рис. 42,*б*, *в* представлены осциллограммы напряжений в схеме анодного ключа в режиме индикации.

В схему катодного ключа (рис. 43) входит входной усилитель, работающий в ключевом режиме (транзистор T_1), и составной эмиттерный повторитель (транзисторы T_2 и T_3). Все три транзистора типа МП26А. В исходном состоянии транзистор T_1 отперт напряже-

нием смещения (—12,6 В), транзисторы T_2 и T_3 заперты На эмиттере транзистора T_3 установлено напряжение —12 В. Импульс положительной полярности с соответствующего выхода дешифратора поступает на вход схемы, транзистор T_1 запирается, транзисторы T_2 и T_3 отпираются. Через отпертый транзистор T_3 напряжение —70 В подается на катод индикатора. В результате синхронного включения анодного и катодного ключей к промежутку анод — цифровой катод индикатора оказывается приложенными соответственно два напряжения: +100 В и —70 В и цифра зажигается.

Память в пересчетных декадах

В современных цифровых приборах применяется устройство памяти, которое сохраняет информацию о результате предыдущего измерения на время последующего счета. В схему индикации состоя-

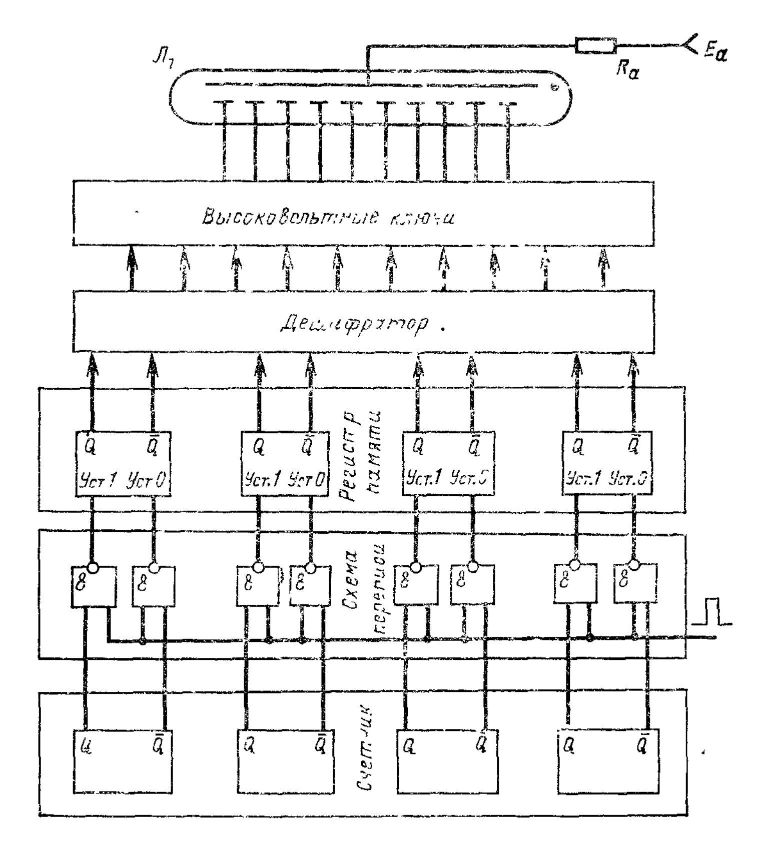


Рис. 44. Декада с регистром памяти.

ния пересчетной декады с памятью (рис. 44) входит помимо дешифратора и ключевых транзисторов регистр памяти, состоящий из четырех статических триггеров. Триггеры собраны из логических схем И-НЕ (см. рис. 5,*а*) и через схемы совпадения подключены к выходам триггеров счетчика После окончания счета на входы схем И-НЕ подается импульс переписи положительной полярности, в результате чего происходит перепись информации из счетчика в регистр памяти. После окончания этого импульса счетчик вновь готов к измерениям, а на цифровом индикаторе отображается результат предыдущего счета.

Схема управления на оптронах

Одним из недостатков цифровой индикации с применением газоразрядных ламп является необходимость коммутации высокого анодного напряжения. Для этой цели обычно используют высоковольтные транзисторы, которые включают на выходе низковольтной схемы управления. При этом цепи питания индикатора и дешифратора оказываются гальванически связанными. Для гальванической развязки анодных цепей индикатора от схемы управления применяют малоинерционные коммутирующие элементы — оптроны. В оптроне совмещены два, оптически связанных, полупроводниковых элемента.

Оптроны выпускаются двух видов — диодно-резисторные (АОР104А, АОР104Б) и диодно-тиристорные (АОУ103А, АОУ103Б). Диодно-резисторные оптроны (СДФР) состоят из фосфидгаллиевого светодиода и фоторезистора из сернистого кадмия, а диодно-тиристорные (СДФТ) из арсенидгаллиевого светодиода и кремниевого фототиристора. Роль управляющего элемента в оптронах выполняет светодиод, а коммутирующего — фоторезистор (или фототиристор).

При прохождении тока через светодиод фоторезистор освещается, при этом сопротивление последнего уменьшается и соответственно уменьшается падение коммутируемого напряжения. На рис. 45 представлена схема управления цифровым индикатором, выполненная на оптронах типа СДФР. Преобразование информации, поступающей с триггеров декады в коде 1-2-4-8, производится в дешифраторе, выполненном на логических схемах И-НЕ. Схему управления составляют десять оптронных ключей (*1—10*), фоторезисторы которых включены в цепи катодов индикаторной лампы. Питание анодной цепи индикатора осуществляется непосредственно от сети с однополупериодным выпрямлением (диод $Д_1$). С целью упрощения схемы дешифратора и управления оптроны, управляющие катодами четных цифр, объединены в одну группу, а управляющие катодами нечетных цифр — в другую. Триггер $Тг_1$ выполняет роль переключателя четности; прямой выход триггера через резистор R_1 соединен с нечетной группой оптронов, а инверсный — через резистор R_2 с четной. С помощью этих резисторов устанавливается необходимый ток через светодиоды.

При помощи табл 4 и эпюр напряжений (см рис 18,*б*) можно проследить порядок включения цифр индикатора. Например, при индикации 0 высокие уровни на инверсных выходах триггеров $Тг_2$, $Тг_3$ и $Тг_4$ преобразуются в нулевой уровень на выходе схемы $И\text{-}НЕ_1$; при этом логическая 1 на инверсном выходе триггера $Тг_1$ создаст ток

через оптронный ключ *1*. При токе 5 мА через светодиод оптрона типа АО104А сопротивление фоторезистора уменьшается примерно до 30—40 кОм. Соответственно уменьшается падение напряжения на фоторезисторе и увеличивается напряжение на промежутке анод — катод цифры 0 до уровня зажигания цифры. Сопротивление фоторезистора при этом выполняет роль ограничивающего резистора в анодной цепи лампы. Индикация цифры *1* будет происходить при том же нулевом уровне на выходе схемы *И-НЕ*$_1$, но логическая 1 будет сниматься с прямого выхода триггера *Тг*$_1$. Теперь управляющий ток будет протекать через оптрон *2*, включенный в цепь катода циф-

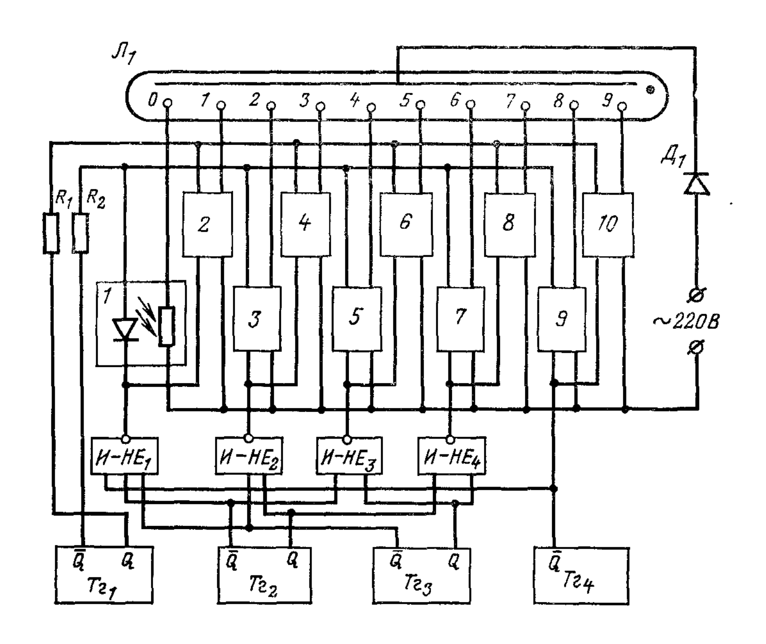


Рис. 45. Схема управления на оптронах.

ры 1. Следовательно, для зажигания любой цифры необходимо, чтобы с соответствующего плеча триггера *Тг*$_1$ снимался уровень логической 1, а с выходов схем И-НЕ (или с выхода триггера *Тг*$_4$) — уровень логического 0

Оптроны могут быть применены в схемах с динамической индикацией. В этом случае схему целесообразно строить с последовательным опросом анодов (разрядов); при этом фоторезисторы включаются в анодные цепи индикаторов, а в цепи катодов — фототиристоры.

При построении пересчетных схем с оперативным запоминающим устройством используют оптроны типа СДФТ, которые должны работать в режиме насыщения. Режим насыщения устанавливается введением дополнительного источника смещения.

Устройство гашения цифр

Для устранения мерцания цифр в процессе счета, которое утомляет оператора, индикаторы на это время желательно выключать. По окончании счета они включаются на время, необходимое для считывания результата Продолжительность индикации обычно регулируется.

Если в схеме прибора питание индикаторов осуществляется от двух источников напряжения, то для надежного гашения цифр удобнее отключать напряжение +120 В.

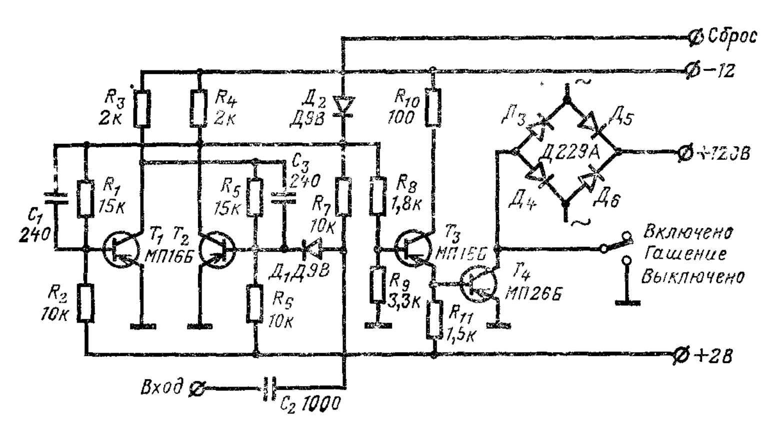


Рис. 46. Устройство гашения цифр.

Устройство гашения (рис. 46) содержит триггер (транзисторы T_1 и T_2), эмиттерный повторитель (транзистор T_3) и выходной ключ (транзистор T_4). По окончании времени индикации сигналом «сброс» триггер переводится в нулевое состояние (транзистор T_1 заперт, T_2 — отперт). Напряжение на базе эмиттерного повторителя, связанной с выходом триггера через делитель R_8, R_9, повышается, и транзистор T_3 запирается. На его эмиттере, соединенном непосредственно с базой транзистора T_4, появляется положительный потенциал, запирающий выходной каскад. При этом разрывается цепь напряжения +120 В и цифры гаснут.

Селектор (узел цифрового прибора), управляющий поступлением счетных импульсов на счетчик, по окончании счета закрывается, и сигнал «стоп» опрокидывает триггер устройства гашения. На делителе R_8, R_9 возникает отрицательный потенциал, отпирающий транзистор T_3 эмиттерного повторителя. Отрицательный перепад напряжения, появляющийся на эмиттерной нагрузке T_3, отпирает выходной ключ T_4 и этим восстанавливает цепь источника +120 В; индикаторы вновь зажигаются и т. д. При необходимости устройство гашения может быть отключено. Для этой цели служит тумблер, с помощью которого коллектор транзистора T_4 и минус источника —120 В соединяют с корпусом.

Для отключения источника с напряжением +200 В в схему вводят дополнительный транзистор МП26Б, который включают последовательно с транзистором T_4. Для выравнивания падения напряжений на транзисторах выходного каскада их необходимо шунтировать резисторами сопротивлением 100 кОм.

Соединение пересчетных декад в счетчике

В многоразрядном электронном счетчике пересчетные декады соединяют между собой последовательно. Запуск каждой последующей декады производится выходными импульсами предыдущей декады. Для получения точной информации по результату измерения необходимо, чтобы запускающий импульс, снимаемый с выхода предыдущей декады, возникал в соответствии с каждым десятым импульсом из числа действующих на ее входе

В декадах, работающих в соответствии с кодом 1-2-4-8, смена состояния выходного триггера ($Тг_4$) происходит под действием восьмого и десятого входных импульсов. При этом с выхода Q триггера $Тг_4$ (для декады, выполненной на транзисторах структуры *р-п-р*) снимается импульс отрицательной полярности, а с выхода $\bar{Q}$ — импульс положительной полярности (см рис. 27). Если для запуска последующей декады будет использован фронт сигнала с выхода $\bar{Q}$, то при этом произойдет преждевременный запуск этой декады (по восьмому импульсу). Это в свою очередь приведет к неверному результату измерения; например, восемь входных импульсов будут зафиксированы счетчиком как число 10. Для получения правильного результата необходимо использовать сигнал с выхода Q, так как срез этого импульса соответствует фронту десятого входного импульса и при последующем дифференцировании образует запускающий импульс положительной полярности.

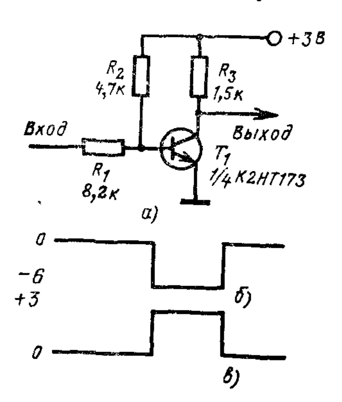


Рис. 47. Согласующий каскад.
а — принципиальная схема; *б* — эпюра напряжения на выходе $\bar{Q}$ триггера; *в* — эпюра напряжения на выходе согласующего каскада.

Низкочастотные декады соединяют в счетчике непосредственно; высокочастотные декады, имеющие небольшую амплитуду выходного сигнала, соединяют через усилители. В последнем случае необходимо учитывать инвертирующее свойство усилителя. В ряде случаев для формирования запускающих импульсов необходимой полярности используют дифференцирующую цепь, включая ее на выходе декады (см. рис. 30 и 35). Параллельно резистору дифференцирующей цепи включают диод, который «срезает» импульс нерабочей полярности.

Иногда возникает необходимость совмещения в общем устройстве блоков, выполненных на дискретных элементах, с блоками, выполненными на интегральных схемах. Примером может служить счет-

чик электронного частотомера, в состав которого входят высокочастотные декады (см. рис 32) и низкочастотные декады (см. рис. 18,*а*). В этом случае согласующий каскад должен быть выполнен по схеме рис. 47. Транзистор T_1, входящий в состав транзисторной матрицы серии 217, включен по схеме с общим эмиттером и работает в ключевом режиме. При переключении триггера $Tг_4$ (в декаде рис. 32) коллекторное напряжение транзисторов изменяется от —0,25 до —6 В. На вход согласующего каскада подается сигнал с выхода $\bar{Q}$ триггера $Tг_4$. По восьмому импульсу происходит отпирание транзистора T_{22}. Отрицательный потенциал с коллектора T_{22} запирает транзистор T_1 согласующего каскада; при этом формируется фронт выходного импульса положительной полярности. По десятому импульсу транзистор T_{22} запирается, а на выходе согласующего каскада формируется срез выходного импульса. Последний является запускающим сигналом для декад на интегральных схемах.

Формирующие устройства

В цифровых приборах измеряемые величины преобразуются в эквивалентное число стандартных импульсов, называемых счетными. В преобразовании сигналов участвует ряд узлов прибора, которые объединяются общим названием — формирующее устройство (ФУ). Усиление сигналов до уровня уверенного запуска ФУ обеспечивается входным усилителем.

Параметры счетных импульсов, получаемых на выходе формирующего устройства, не должны зависеть от формы, амплитуды и частоты входных сигналов. Особенно высокие требования предъявляются к длительности фронта импульсов.

В качестве формирующего устройства наиболее часто применяется триггер с эмиттерной связью, называемый триггером Шмитта. Эта схема получила широкое распространение благодаря способности сохранять постоянными амплитуду и длительность фронта выходных импульсов при работе в широком диапазоне частот. Триггер Шмитта имеет высокую нагрузочную способность. Благодаря наличию эмиттерной связи триггер переходит из одного устойчивого состояния в другое при двух различных уровнях входного сигнала одной полярности.

Срабатывание триггера при различных запускающих уровнях является существенным недостатком в том случае, когда необходимо, чтобы длительность сформированного импульса соответствовала половине периода запускающего синусоидального сигнала.

Рассмотрим схему входного ФУ цифрового частотомера, предназначенного для работы до 2 МГц (рис. 48). В состав схемы входят усилитель и собственно ФУ.

Усилитель состоит из следующих каскадов: входного эмиттерного повторителя (транзистор T_1); усилителя, выполненного по схеме с общим эмиттером (транзистор T_2), и выходного эмиттерного повторителя (транзистор T_3). Последний каскад служит для согласования высокого выходного сопротивления усилителя с низким входным сопротивлечием ФУ.

Для повышения входного сопротивления усилителя по постоянному току в цепь базы транзистора T_1 включен резистор R_1, шунти-

рованный конденсатором C_1 небольшой емкости Перепады входного напряжения ограничиваются с помощью кремниевых диодов $Д_1$ и $Д_2$, подключенных встречно-параллельно к базе транзистора T_1. Резистор R_6 является эмиттерной нагрузкой первого каскада С эмиттера транзистора T_1 сигнал поступает на базу усилителя (транзистор T_2).

С коллектора транзистора T_2 усиленный сигнал подается непосредственно на базу транзистора T_3. Эмиттерная нагрузка последнего выполнена в виде делителя, состоящего из резисторов R_9 и R_{10}. Нелинейная обратная связь, осуществляемая при помощи диодов $Д_4$ и $Д_5$, ограничивает напряжение на выходе усилителя. В качестве ФУ использован триггер Шмитта, в схему которого входят транзисторы

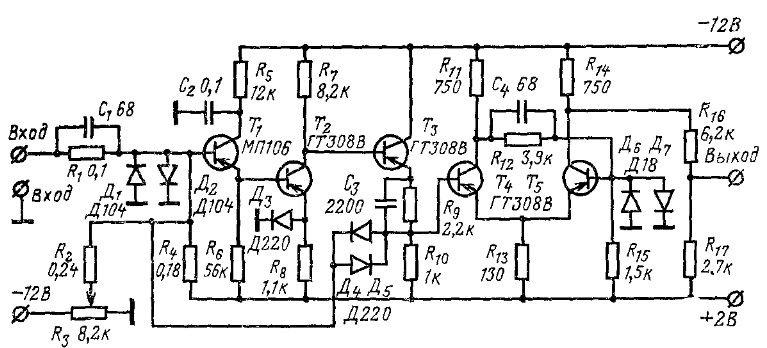


Рис. 48. Схема формирующего устройства на 2 МГц.

T_4 и T_5. В отсутствие входного сигнала триггер находится в устойчивом состоянии (транзистор T_4 заперт, а T_5 — отперт и насыщен).

Через общую эмиттерную нагрузку R_{13} протекает ток открытого транзистора T_5; напряжение, падающее на резисторе R_{13}, является запирающим для транзистора T_4. Отрицательный потенциал, снимаемый с делителя R_{11}, R_{12}, R_{15}, удерживает в отпертом состоянии транзистор T_5. Диоды $Д_6$ и $Д_7$ служат для ограничения перепада напряжений на базе транзистора T_5. Отрицательная полуволна входного сигнала отпирает транзистор T_4.

Возрастающий ток коллектора T_4 уменьшает ток базы транзистора T_5 и выводит его из насыщения. Оба транзистора переходят в активную область, развивается лавинообразный процесс. В результате происходит смена состояния триггера, при котором транзистор T_4 отперт, а T_5 заперт. Напряжение U_2, при котором это происходит, называется *напряжением срабатывания.* При уменьшении входного сигнала токи и напряжения в схеме изменяются до значений, соответствующих уровню U_2, но обратного переключения триггера при этом не происходит. При дальнейшем понижении напряжения до уровня U_1 вновь происходит смена состояния триггера. Напряжение U_1 называется *напряжением отпускания.* Разность напряжений U_2—U_1 называется напряжением гистерезиса $U_г$ (рис. 49).

Напряжение гистерезиса определяет чувствительность триггера. Высокая чувствительность, соответствующая малому $U_г$, может служить причиной его неустойчивой работы, так как появляется возможность ложного запуска от помех При большом напряжении $U_г$

снижается чувствительность триггера, что в свою очередь требует дополнительного усиления входного сигнала

Необходимый режим ФУ в зависимости от полярности и уровня входного сигнала устанавливается с помощью потенциометра R_3.

Снижение температурного дрейфа достигается применением во входном эмиттерном повторителе кремниевого транзистора типа МП106, а также диода $Д_3$, который компенсирует смещение рабочей точки транзисторов T_2 и T_3 в диапазоне рабочих температур.

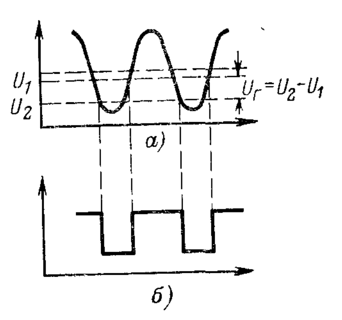


Рис. 49. Графики напряжений триггера Шмитта.

а — на выходе; б — на выходе триггера.

Формирующее устройство надежно срабатывает от входного сигнала синусоидальной формы напряжением 50—90 мВ во всем диапазоне частот. Изменение напряжения смещения в пределах от 1,7 до 2,5 В не нарушает работу ФУ.

В качестве второго примера ФУ рассмотрим входное устройство частотомера Ч3-36, работающего на частотах до 50 МГц (рис. 50). На входе усилителя включена параллельная цепочка R_1C_1; конденсатор C_1 улучшает передачу фронта импульса. Далее сигналы поступают на ограничитель (диод $Д_1$). С целью обеспечения высокого входного сопротивления первые два каскада усилителя выполнены по схеме эмиттерного повторителя (транзисторы T_1 и T_2). С эмиттерной нагрузки транзистора T_2 импульсные сигналы подводятся к входу усилителя (транзистор T_3) Потенциал эмиттера последнего составляет +0,7 В; с этой целью в эмиттерную цепь в прямом направлении

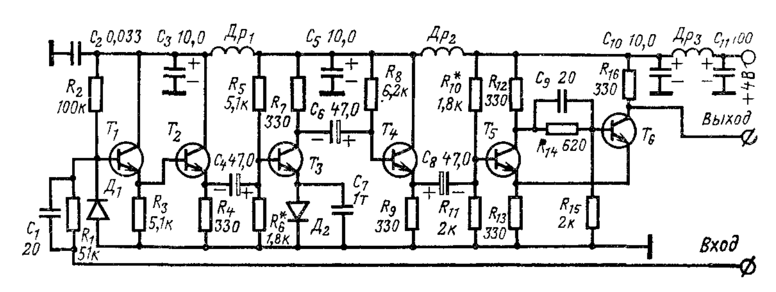


Рис. 50. Схема формирующего устройства на 50 МГц.

включен диод $Д_2$. С коллекторной нагрузкой транзистора T_3 выходной сигнал в виде импульсов положительной полярности подается на вход эмиттерного повторителя на транзисторе T_4. Последний включен с целью развязывания с усилителем последующего каскада — формирователя импульсов. Триггер Шмитта выполнен на транзисторах T_5 и T_6. В отсутствие входных сигналов транзистор T_5 заперт, а T_6

отперт Высокая скорость переключения триггера Шмитта в описываемой схеме обеспечена использованием транзисторов, имеющих время рассасывания 5—10 нс, этому же способствуют малые сопротивления коллекторных и эмиттерной нагрузок.

С выхода формирователя счетные импульсы положительной полярности амплитудой 1,5 В поступают на селектор и далее на декаду с быстродействием 50 МГц.

Формирующее устройство, селектор и высокочастотная декада представляют собой общий узел и смонтированы на одной печатной плате.

Питание входного устройства осуществляется напряжением +4 В от источника, общего с остальными узлами прибора. Во избежание паразитного прохождения входного сигнала по цепям питания в цепь +4 В включены высокочастотные фильтры, в состав которых входят дроссели $Др_1$—$Др_3$ и конденсаторы C_2, C_3, C_5, C_{11} и C_{12}. Все транзисторы входного устройства типа КТ316В.

Питание интегральных схем и цифровых ламп

В устройствах, содержащих значительное количество интегральных схем серии 217, целесообразно применять два стабилизированных источника питания с напряжениями +6 и +3 В. На рис. 51,*а* представлена схема стабилизатора напряжения +6 В Выпрямитель выполнен по мостовой схеме на диодах $Д_1$—$Д_4$. Стабилизатор собран по схеме последовательного регулирования. В качестве регулирующего элемента стабилизатора применен составной транзистор (транзисторы T_1 и T_2). Транзистор T_2 является регулирующим, T_1 — эмиттерным повторителем; последний управляет по току транзистором T_2. Резистор R_3 задает необходимый режим составному транзистору. Усилитель постоянного тока (транзистор T_3), делитель выходного напряжения (R_5—R_7) и источник опорного напряжения (R_4, $Д_6$) составляют цепь обратной связи, через которую осуществляется управление регулирующим элементом. С целью устранения возможности генерации параллельно переходу коллектор — база транзистора T_3 включается конденсатор C_2.

Параметрический стабилизатор, выполненный на диоде $Д_5$ и резисторе R_1, предназначен для питания коллекторной цепи транзистора T_3. В цепи отрицательной обратной связи происходит сравнение напряжения на диоде $Д_6$ с частью выходного напряжения, снимаемого с делителя R_5—R_7. Разностное напряжение усиливается усилителем постоянного тока и подводится к регулирующему элементу.

При уменьшении выходного напряжения за счет цепи обратной связи уменьшается падение напряжения на регулирующем элементе, в результате чего выходное напряжение остается практически неизменным. При помощи резистора R_6 производится регулирование выходного напряжения. Конденсатор C_3, включенный на выходе, уменьшает выходное сопротивление схемы и способствует дополнительному сглаживанию пульсаций.

Схема стабилизатора +3 В (рис. 51,*б*) аналогична описанной выше. Отличие составляет включение делителя выходного напряжения R_4—R_6. Питание делителя осуществляется от стабилизированного источника напряжения +6 В. Оба стабилизатора напряжений (+6 и +3 В) смонтированы на общей печатной плате с размерами 130×140 мм.

Смонтированные стабилизаторы подлежат проверке Предварительно стабилизаторы проверяют без нагрузки; при этом определяют режимы элементов и устанавливаются пределы регулировки выходных напряжений Затем к выходу каждого стабилизатора подключают в качестве нагрузки проволочные резисторы и устанавливают ток $I_н$=400 мА. При изменении напряжения сети от 185 до 240 В выходные напряжения не должны изменяться более чем на 1%. При более узких пределах стабилизации необходимо увеличить

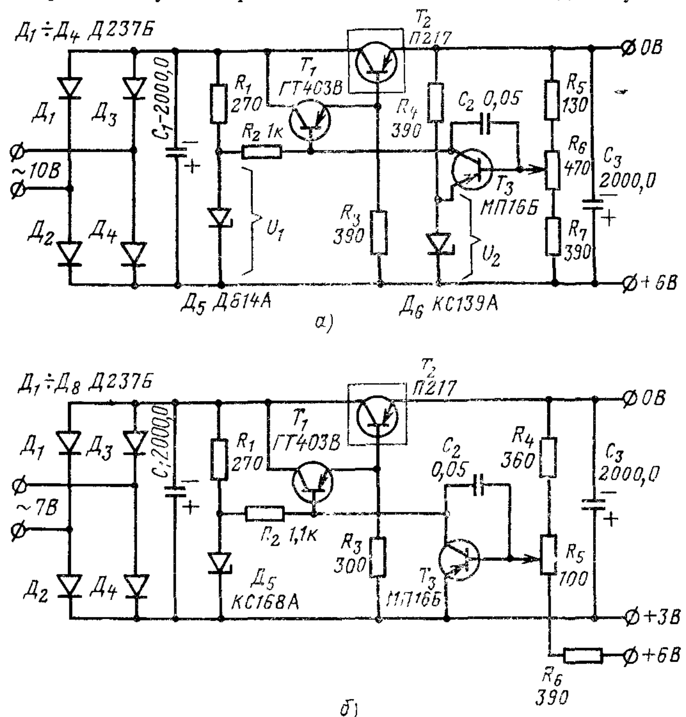


Рис. 51. Схемы стабилизаторов напряжений +6 В (*а*) и +3 В (*б*).

входное напряжение стабилизаторов. Транзистор T_3 должен иметь коэффициент $B_{ст}$ не менее 80—90. Минимальный уровень входного напряжения для стабилизатора +6 В составляет 9,5 В, для стабилизатора +3 В — около 8 В. Уровень пульсаций выходного напряжения +6 В не превышает 4,5 мВ, а напряжения +3 В — 1 мВ.

Регулирующие элементы в обоих стабилизаторах (транзисторы T_2) смонтированы на радиаторах.

Стабилизатор, выполненный по схеме рис. 51,*а*, можно использовать и для питания интегральных схем, например, серий К130, К133, К155 Для снижения выходного напряжения до 5 В целесообразно в качестве диода $Д_5$ использовать стабилитрон КС168А; при этом возможно потребуется уменьшить сопротивление резисторов R_5 и R_2.

Для питания цифровых ламп, управляемых ключевыми транзисторами *n-p-n* типа, целесообразно использование пульсирующего напряжения, получающегося при однополупериодном выпрямлении сетевого напряжения 220 В без фильтрации. При использовании высоковольтных транзисторов типа П307—П309, КТ601А, КТ605, К1НТ661А их коллекторы могут соединяться с катодами газоразрядных ламп без дополнительных элементов. При использовании транзисторов КТ315 с допустимым напряжением коллектор — эмиттер 60 В необходимо для предохранения их от пробоя ограничить напряжение на коллекторах на уровне 50 В. Это можно сделать или при помощи коллекторных нагрузок, подключенных к источнику +50 В, например к делителю анодного напряжения (см. рис. 26), или при помощи диодов (см. рис. 19) Возможно использование и еще более низковольтных транзисторов типов КТ315Ж, КТ301, КТ312, но в этом случае уровень ограничения нужно понизить до 30—35 В; при этом появится небольшой подсвет неиндицируемых цифр.

Глава четвертая

ЭЛЕКТРОННЫЙ ХРОНОМЕТР С ЦИФРОВОЙ ИНДИКАЦИЕЙ

Электронный хронометр представляет собой устройство, предназначенное для измерения времени и преобразования результата измерения (секунды, минуты, часы) в цифровую форму, а также для выдачи командных сигналов через установленные интервалы. Для отсчета информации используются два индикатора, работающие синхронно; первый, шестизначный, выполненный на газоразрядных лампах ИН-12А, встроен в панель хронометра, второй — выносной, четырехзначный, с размерами каждого знака 3×1,5 м.

Структурную схему хронометра (рис. 52) составляют кварцевый генератор, делители частоты, устройство автоматического сброса, три пересчетные декады, два устройства пересчета на 6, устройство пересчета на 3 и индикаторы. В состав пересчетных устройств, за исключением двух младших разрядов (единицы и десятки секунд), входят промежуточные усилители (ПУ), вторичные дешифраторы (ДШ) и ячейки управления тиристорами (ТЯ).

Кварцевый генератор (рис. 53,*а*) является источником стабильной частоты 100 кГц. Генератор выполнен на интегральной схеме типа К1УС221, представляющей собой двухкаскадный усилитель постоянного тока. Резонатор включен в цепь положительной обратной связи — между коллектором выходного каскада (выводы *8*, *9*) и базой входного каскада (вывод *4*). Для устранения паразитных высокочастотных колебаний кварцевый резонатор шунтирован конденсатором C_2 емкостью 100—120 пФ. С выхода генератора (выводы *8*, *9*) снимается сигнал, близкий по форме к синусоидальному. Так как для запуска делителей частоты необходимы сигналы импульсной формы, на выходе кварцевого генератора включен формирующий каскад. Последний выполнен на транзисторе T_1 по схеме с общим эмиттером и работает в ключевом режиме. Резисторы R_1 и R_2 ограничивают амплитуду сигнала на входе формирователя. С выхода формирователя сигнал импульсной формы поступает на вход декадного делителя частоты. Для осуществления коэффициента пересчета $K_{сч}=10^5$

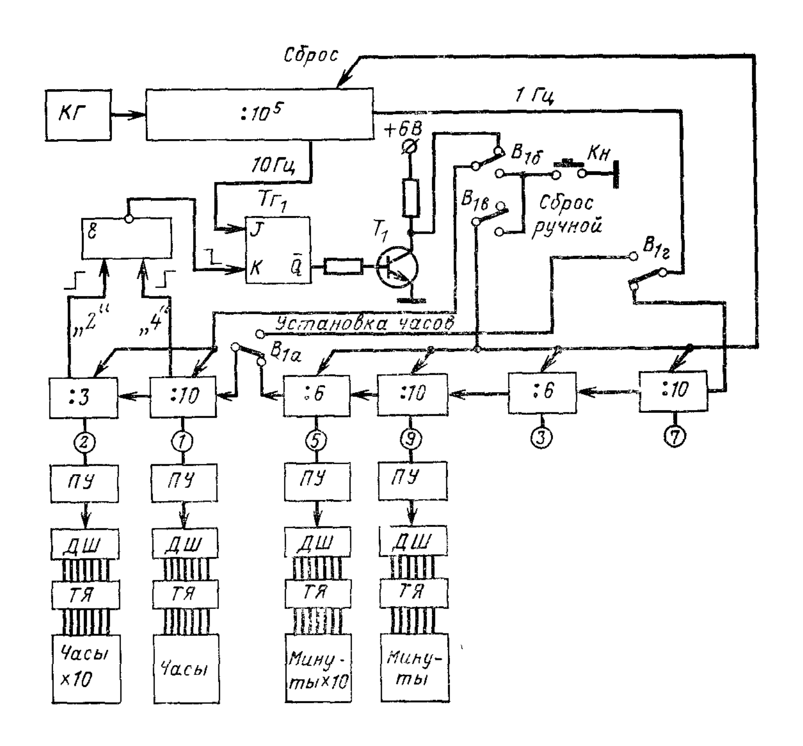


Рис. 52. Структурная схема электронного хронометра.

включены последовательно пять идентичных декадных делителей частоты, схемы которых аналогичны счетной части декады на интегральных схемах (см. рис. 18,*а*).

Хронометр предназначен для непрерывной эксплуатации в течение длительного времени. Для этого питание делителей и пересчетных устройств должно осуществляться от стабильных источников напряжения. Роль такого источника может выполнить аккумулятор значительной емкости с напряжением 6 В. Питание анодных цепей газоразрядных индикаторных ламп может производиться различными способами. Одним из них является преобразование постоянного напряжения 6 В в напряжение 200 В. Но этот способ при длительной эксплуатации неэкономичен. Потребление тока по цепи +200 В достигает 18—20 мА. Если принять к. п. д. преобразования равным 50%, то мощность, отбираемая преобразователем, составит 8—10 Вт.

Возможен более простой способ питания индикаторов — выпрямление сетевого напряжения 220 В. В этом случае декады, выполненные по схеме рис. 18,*а*, работают неустойчиво. Причина неустойчивой работы следующая. При свечении одной из цифр через коллекторную цепь триггера $Тг_1$, коммутирующего четные и нечетные цифры, протекает ток индикатора, значение которого составляет 2—3 мА. Поэтому включение или выключение питания индикаторной лампы мо-

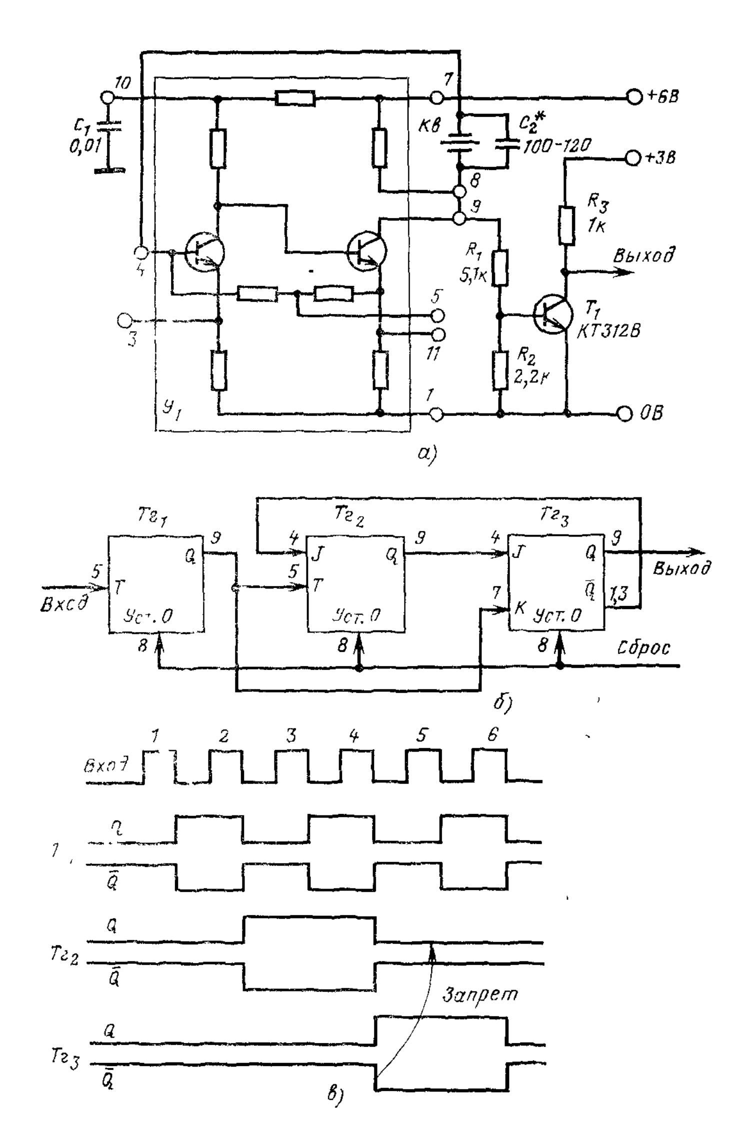


Рис. 53. Схема карцевого генератора (*а*); $У_1$ — микросхема К1УС221; схема пересчетного устройства на 6 (*б*); эпюры напряжений в устройстве пересчета на 6 (*в*).

жет вызвать несвоевременное переключение триггеров пересчетных устройств Для исключения влияния анодного питания индикаторов на работу пересчетных устройств необходимо разгрузить первые триггеры этих устройств и перенести коммутацию четных и нечетных цифр в дешифратор, который в этом случае может быть выполнен на основе диодной матрицы (см рис 13).

Существует еще один способ повышения стабильности работы пересчетных устройств. Применение оптронов в качестве коммутирующих элементов позволяет гальванически развязать цепи дешифратора и анодные цепи индикатора, что существенно повышает надежность индикации (см. рис. 45).

С помощью устройства пересчета на 3 производится подсчет десятков часов в сутках с соответствующей индикацией цифр 0; 1 и 2. Устройство состоит из двух последовательно соединенных триггеров, включенных по счетному входу (*T*).

Устройства пересчета на 6 предназначены для подсчета десятков секунд и десятков минут с индикацией цифр от 0 до 5. Схему устройства (рис. 53,*б*) составляют три триггера, соединенных между собой в следующем порядке. Выход *9* (*Q*) триггера $Tг_1$ соединен со входом *5* (*T*) триггера $Tг_2$, выход *9* (*Q*) триггера $Tг_2$ соединен со входом *4* (*J*) триггера $Tг_3$. Для осуществления пересчета $K_{сч}=6$ в схему устройства введены дополнительные связи с выхода *9* (*Q*) триггера $Tг_1$ на вход *7* (*K*) триггера $Tг_3$ и с выходов *1*, *3*, ($\bar{Q}$) триггера $Tг_3$ на вход *4* (*J*) триггера $Tг_2$. Триггер $Tг_1$ переключается под действием каждого входного импульса, триггер $Tг_2$ — под действием второго и четвертого импульсов, а триггер $Tг_3$ — под действием четвертого и шестого импульсов (рис. 53,*в*). При срабатывании триггера $Tг_3$ по четвертому импульсу низкий потенциал с его выхода $\bar{Q}$ по цепи обратной связи поступает на вход триггера $Tг_2$ и предотвращает его переключение по шестому импульсу. Таким образом, в результате действия шестого импульса на выходах *Q* всех триггеров устройства пересчета на 6 устанавливаются низкие уровни (логические 0). Возникающий при этом отрицательный перепад напряжения на выходе *Q* триггера $Tг_3$ запускает следующее пересчетное устройство (декаду). Дешифраторы устройств пересчета на 3 и на 6 аналогичны дешифратору, показанному на рис. 13.

Последний имеет следующее преимущество. Управляющие сигналы, необходимые для включения цифр внешнего индикатора, снимаются непосредственно с ключевых транзисторов соответствующих разрядов.

Внешний индикатор производит отсчет времени в минутах и часах. Для обеспечения хорошей различаемости цифр конструкция каждого знака содержит 18 элементов, из которых коммутируются необходимые цифры (рис. 54). Элементы цифр представляют собой наборы осветительных ламп, размещенных в определенном порядке на каркасе знака. При использовании наиболее распространенной 7-элементной конструкции различаемость цифр значительно хуже: особенно плохое получается изображение цифр 2 и 7.

Включение цифр внешнего счетчика происходит в следующем порядке Команду на включение определенной комбинации элементов выдает в момент отпирания высоковольтный транзистор соответственного разряда контрольного индикатора. Потенциал базовой цепи ключа используется для управления промежуточным усилителем. Для сохранения полярности управляющего сигнала промежуточный усилитель выполняют двухкаскадным (транзисторы T_1 и T_2, рис. 55).

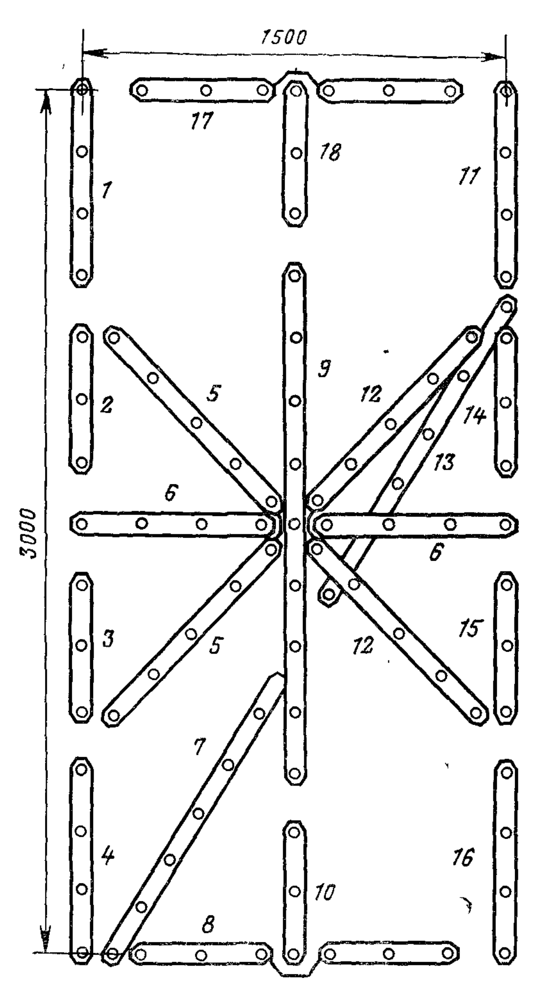


Рис. 54. Элементы цифр выносного индикатора.

К выходу промежуточного усилителя подключены ячейки управления тиристором. Так как включением каждого элемента цифр управляет отдельная ячейка, то входы всех ячеек, обеспечивающих включение заданной комбинации элементов, подключены через диоды (дешифратор *ДШ*) к выходу промежуточного усилителя. Схему управляющей ячейки составляют два эмиттерных повторителя (транзисторы T_3 и T_4), работающие в ключевом режиме. При высоком уровне напряжения на входе промежуточного усилителя к базе транзистора T_3 через диод $Д_1$ ($Д_n$) подводится отпирающий потенциал. На эмит-

терной нагрузке транзистора T_3 сигнал повторяется. В результате оба транзистора T_3 и T_4 отпираются. Для обеспечения необходимого тока для управления тиристором в выходном каскаде ячейки применен транзистор средней мощности КТ801А.

Питание осветительных ламп в элементах цифр осуществляется от сети переменного тока напряжением 220 В. Для бесконтактного включения и выключения ламп используется тиристор типа КУ202Н(М), позволяющий коммутировать токи до 10 А при напряжении 400 В. Тиристор должен быть включен с соблюдением

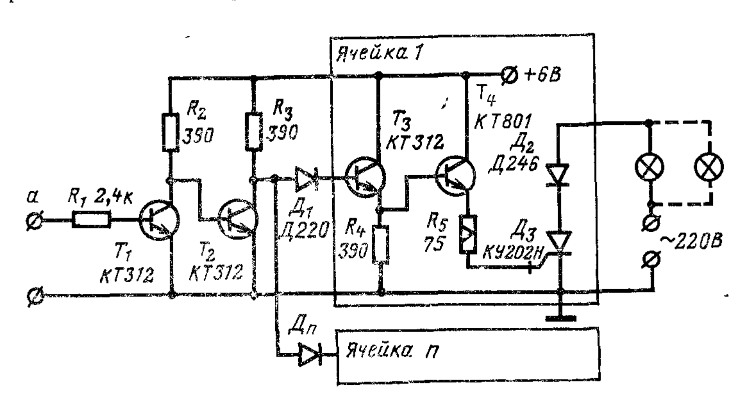


Рис. 55. Ячейка управления тиристором (*а* — точка соединения схемы управления тиристором с базой ключевого транзистора схемы управления индикатором ИН-12).

полярности. Напряжение на управляющем электроде должно иметь положительную полярность относительно катода. Для включения тиристора необходимо по цепи управляющий электрод — катод пропустить ток управления. Включение тиристора может осуществляться импульсами, имеющими сравнительно небольшую длительность (десятка или сотни микросекунд). После включения тиристора цепь управления больше не влияет на его состояние. Для выключения тиристора необходимо снять напряжение с его анода. Это условие выполняется автоматически в момент равенства нулю пульсирующего анодного тока. В целях обеспечения необходимой полярности коммутируемого напряжения последовательно с тиристором включают диод типа Д246 (или Д232).

Осветительные лампы на выносном счетчике применены с мощностью 40—60 Вт; лампы каждого элемента включены параллельно и расположены на расстоянии 20 см друг от друга.

Сброс показаний счетчиков происходит автоматически по окончании измерения времени суток, т. е. в 24 ч 00 мин 00 с. После того, как на счетчике установится число 23.59.59, очередной секундный импульс дополнит младшие разряды до 1 мин, последняя в свою очередь дополнит последующие разряды до 60 мин; импульс переполнения четвертого разряда запишет в пятом разряде число 4. В этот момент должен произойти сброс показаний пятого и шестого разрядов на нуль.

Схему устройства автоматического сброса составляют двухвходовая логическая схема И-НЕ (К2ЛБ174), триггер К2ТК171А и выходной усилитель на транзисторе КТ315В Для осуществления сброса на входы схемы И-НЕ должны поступить два высоких уровня с шестого и пятого разрядов Один из них представляет собой положительный перепад напряжения на выходе триггера $Тг_2$ устройства $К_{сч}=3$ (при индикации цифры 2); второй высокий уровень напряжения возникает на выходе триггера $Тг_3$ (в декаде единиц часов) при переключении последнего под действием четвертого импульса. В момент поступления второго высокого уровня схема И-НЕ отпирается и ее низкий выходной уровень переключает (по входу *К*) триггер схемы сброса в нулевое состояние. Высокий выходной уровень напряжения с выхода триггера отпирает транзистор схемы сброса, на шине «сброс» при этом устанавливается нулевой уровень, который переводит триггеры (по входу «Уст. 0») пересчетных устройств пятого и шестого разрядов в исходное (нулевое) состояние. После осуществления сброса пересчетные устройства хронометра начинают новый цикл работы — подсчет времени очередных суток. Для приведения схемы сброса в исходное состояние необходимо переключить триггер этой схемы в единичное состояние. С этой целью на вход триггера непрерывно поступают импульсы с частотой 10 Гц, которые переключают триггер и удерживают его в исходном состоянии до поступления на входы схемы И-НЕ новой серии управляющих импульсов

Выдача командных сигналов через определенные временные интервалы может производиться различными способами Если сигналы периодически повторяются через интервал в одну секунду, минуту или час, то интервальные импульсы могут сниматься с выходов триггера $Тг_1$ соответствующих пересчетных декад. Для выделения временных интервалов различной длительности выходы соответствующих триггеров должны быть скоммутированы на входы дополнительных схем И

В табл 8 приведены режимы тиристорной ячейки. Для обеспечения необходимого температурного режима диод $Д_2$ и тиристор $Д_3$ (одной ячейки) размещены на общем радиаторе, который представляет собой пластину из алюминия (лист толщиной 2—2,5 мм) размерами 250×180 мм Радиаторы с размещенными на них элементами должны монтироваться в вертикальном положении в специальных каркасах Режимы тиристора $Д_3$ указаны для управляющего электрода.

Таблица 8

Режим тиристорной ячейки

Индикация		Напряжение на элементах ячейки, В				
		T_1	T_2	T_3	T_4	$Д_3$
Включена	К	0,18	0,6	6	6	
	Б	0,8	0,18	5,4	4,7	1,4
	Э	0	0	4,7	4	—
Выключена	К	0,8	0,05	6	6	
	Б	0	0,8	0	0	0
	Э	0	0	0	0	

В схеме хронометра предусмотрена предварительная установка единиц и десятков часов. С этой целью переключатель B_1 устанавливают в положение «Установка часов». При этом последовательность импульсов с частотой 1 Гц, снимаемая с выхода последнего каскада деления частоты кварцевого генератора, через переключатели $B_{1г}$ и $B_{1а}$ подводится к декаде единиц часов. Перед установкой необходимых показаний производят сброс всех пересчетных устройств и двух последних каскадов деления частоты в нулевое состояние. С помощью переключателя $B_{1б}$ цепь сброса пересчетных устройств единиц и десятков часов отсоединяется от схемы автоматического сброса и подключается к кнопке «Сброс ручной». К этой же кнопке подключена (через переключатель $B_{1в}$) цепь сброса остальных пересчетных устройств Сброс пересчетных устройств и делителей частоты осуществляется подачей низкого уровня на входы «Уст. 0» триггеров этих устройств. После сброса индикатор декады единиц часов, а затем индикатор устройства пересчета на три (десятки часов) начинают отмечать поступающие импульсы. После установки на индикаторах старших разрядов необходимого времени переключатель B_1 вновь переводят в положение «Отсчет времени»; импульсы с частотой следования 1 Гц через переключатель $B_{1г}$ поступают на вход декады отсчета секунд.

При усовершенствовании хронометра в его схему может быть введена предварительная установка значений времени для каждого разряда отдельно С этой целью под индикатором каждого разряда монтируют кнопку, содержащую одну группу контактов, на переключение. С помощью этих контактов осуществляется связь между соседними пересчетными устройствами в режиме «Отсчет времени»; подключаются входы пересчетного устройства выбранного разряда к шине «1 Гц» при установке необходимого значения времени Шина «1 Гц» должна быть подключена к верхнему контакту переключателя $B_{1г}$ (рис. 52) и подведена ко всем кнопкам.

Установка времени производится в следующем порядке Переключатель B_1 устанавливают в положение «Сброс ручной» и нажатием кнопки осуществляют сброс показаний индикаторов всех разрядов. Затем, нажимая кнопку выбранного разряда, устанавливают на индикаторе необходимую цифру. Так поочередно производится предварительная установка всех разрядов. По окончании установки переключатель B_1 вновь устанавливают в положение «Отсчет времени».

Делители частоты кварцевого генератора выполнены на интегральных схемах серии 217.

Элементы схемы кварцевого генератора и делители частоты смонтированы на общей плате; последняя помещена в экран

С целью повышения помехоустойчивости пересчетных устройств к ним подведено напряжение смещения, а триггеры выполнены на дискретных элементах.

На рис. 6 приведена схема триггера с управляемым запуском на базы, использованная с некоторыми изменениями в пересчетных устройствах хронометра. Ввиду низкой частоты переключения из схемы исключены конденсаторы C_1 и C_2, а также диод $Д_4$ Напряжение смещения —1,5 В подводится к базам транзисторов через резисторы сопротивлением 20 кОм (на рис. 6 не показаны) Остальные элементы схемы триггера имеют следующие значения: R_1, R_2 — 1,8 кОм; R_3, R_4 — 7,5 кОм; R_5, R_6 — 20 кОм; C_3, C_4 — 750 пФ; тран-

зисторы T_1, T_2 — КТ315В; диоды $Д_1$—$Д_3$ — Д18 (полярность включения пусковых диодов $Д_2$ и $Д_3$ на рис. 6 следует изменить).

Триггеры в декаде соединены в следующем порядке: $Тг_1$ включен по счетному входу (T); входы K триггеров $Тг_2$ и $Тг_4$ подключены к выходу Q триггера $Тг_1$, вход J триггера $Тг_2$ — к выходу схемы И; вход T триггера $Тг_3$ подключен к выходу Q триггера $Тг_2$; вход J триггера $Тг_4$ подключен к выходу Q триггера $Тг_3$. Декада работает в соответствии с кодом 1-2-4-8. Для обеспечения декадного пересчета ($K_{сч}=10$) в схему декады введена двухвходовая схема И, один из входов которой соединен с выходом Q триггера $Тг_1$, а второй — с выходом $\bar{Q}$ триггера $Тг_4$. При переключении последнего под действием восьмого импульса схема И переходит в отпертое состояние и тем самым предотвращает переключение десятым импульсом триггера $Тг_2$. В качестве схемы И использована одна из диодных сборок типа К2ЛП173. К шине «Сброс» через диоды Д18 подключены выходы Q всех триггеров декады.

В схеме управления индикатором применены диодные сборки К2ЛП173, включенные в соответствии с рис. 13. В качестве высоковольтных ключей использованы транзисторы типа П308.

СПИСОК ЛИТЕРАТУРЫ

1. **Шагурин И. И.** Транзисторно-транзисторные логические схемы. М., «Советское радио», 1974.

2. **Букреев И. Н.** и др. Микроэлектронные схемы цифровых устройств М., «Советское радио», 1973.

3. **Наумов Ю. Е.** Интегральные логические схемы. М., «Советское радио», 1970.

4. **Тычино К. К.** Пересчетные декады. М., «Энергия», 1970.

5. **Вербицкий Н. В.** и др. Интегральная схема ТТЛ-дешифратор и схема управления индикатором. — «Электронная техника», вып. 7(47), 1973.

6. **Роднов Ю. В.** Пересчетная декада на 120 МГц. — «Приборы и техника эксперимента», 1972, № 2.

7. **Шилов Л. В.** Счетчик «Лента Мебиуса» с цифровой индикацией на интегральных схемах. — «Приборы и системы управления», 1974, № 10.

8. **Матвиив В. И., Николайчук О. Л., Чайковский О. И.** Применение оптронов в устройствах цифровой индикации. — «Приборы и системы управления», 1974, № 6

9. **Brcic I.** Ideally fast decimal counters with bistables. — «IEEE Trans. Electron Comput.», 1965, v. 14, № 5, p. 733—737.

10. **Гутников В. С.** Интегральная электроника в измерительных приборах. Л., «Энергия», 1974.

11. **Тычино К. К.** Цифровые частотомеры на транзисторах. М., «Энергия», 1971.

12. **Тычино К. К.** Пересчетная декада. — «Радио», 1967, № 6.

13. **Бирюков С. А., Ханов В. А.** Декада на КТ315. — «Радио», 1972, № 7.

14. **Бирюков С. А.** Триггерные счетчики. — «Радио», 1974, № 9.

15. **Бирюков С. А.** Цифровой частотомер. — «Радио», 1975, № 3.

16. **Юрченко Н., Балакирев В.** Электронные часы на интегральных микросхемах — «Радио», 1974, № 9, 1974, № 11.

17. **Ермолов Р. С.** и др. Цифровые измерительные приборы. Л., «Энергия», 1971.

18 **Синельников А.** Цифровой тиристорный секундомер-счетчик импульсов. М., изд-во ДОСААФ, 1975, вып. 48.

19. **Tücsino K. K.** Dekád — számlálók. — «Müszaki Könyvkiadó», Budapest, 1974.

ОГЛАВЛЕНИЕ

Константин Константинович Тычино

ПЕРЕСЧЕТНЫЕ ДЕКАДЫ

Редактор С. А. Бирюков
Редактор издательства Г. Н. Астафуров
Технический редактор Т. А. Маслова
Корректор Г. Г. Желтова

Сдано в набор 27/V 1976 г. Подписано к печати 4/VIII 1976 г.
Г-15114 Формат 84×108 1/32 Бумага типографская № 1
Усл. печ. л. 5,04 Уч.-изд. л. 6,12
Тираж 30 000 экз. Зак. 682 Цена 27 коп.

Издательство «Энергия»
Москва, М-114, Шлюзовая наб., 10

Московская типография № 10 Союзполиграфпрома
при Государственном комитете Совета Министров СССР
по делам издательств, полиграфии и книжной торговли
Москва, М-114, Шлюзовая наб., 10.